

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-256884

(43)公開日 平成10年(1998)9月25日

(51)Int.Cl.⁶
H 03 K 5/08
H 03 F 3/45
H 03 M 1/34

識別記号

F I
H 03 K 5/08
H 03 F 3/45
H 03 M 1/34

T
Z

審査請求 未請求 請求項の数18 O.L. (全31頁)

(21)出願番号 特願平9-57588

(22)出願日 平成9年(1997)3月12日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 熊本 敏夫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 伊藤 正雄

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 三木 隆博

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 弁理士 吉田 茂明 (外2名)

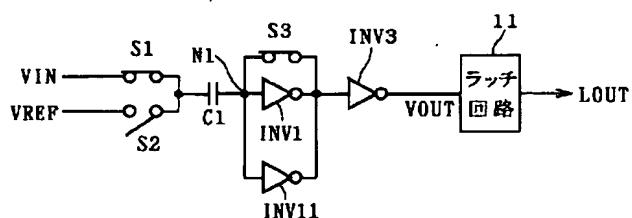
最終頁に続く

(54)【発明の名称】 電圧比較器及びA/Dコンバータ

(57)【要約】

【課題】 高精度な電圧比較が行える電圧比較器を得る。

【解決手段】 入力電圧V_{IN}及び基準電圧V_{REF}はそれぞれスイッチS₁及びS₂を介してキャパシタC₁の一方電極に接続される。キャパシタC₁の他方電極はインバータINV₁の入力部に接続され、インバータINV₁の出力部はインバータINV₃の入力部に接続されるとともに、スイッチS₃を介して入力に帰還する。さらに、インバータINV₁に対して並列にインバータINV₁₁が接続され、インバータINV₁、インバータINV₃及びインバータINV₁₁の入出力特性は同一に設定される。



INV1, INV3, INV11 : インバータ(アンプ)

1

【特許請求の範囲】

【請求項 1】 第1の電圧を第1の期間に受け、第2の電圧を第2の期間に受ける第1の電極を有する第1のキャパシタと、

入力部が前記第1のキャパシタの第2の電極に接続され、入力部が第1のバイアス電圧に設定されると良好なゲイン特性が得られ、前記第2の期間に入力部より受ける信号を反転増幅して第1の増幅信号を出力する第1の反転増幅器と、

前記第1の増幅信号に関連した信号を増幅して増幅出力信号を出力する出力用反転増幅器と、

前記第1の反転増幅器とは別途に設けられ、前記第1の期間に、前記第1の反転増幅器の入力部に前記第1のバイアス電圧と同レベルの補助電圧を付与するバイアス電圧補助手段と、を備えた電圧比較器。

【請求項 2】 前記第1の反転増幅器は、前記第1の期間に入出力間が短絡され、その入力部が前記第1のバイアス電圧に設定され、

前記バイアス電圧補助手段は、前記第1の反転増幅器に並列に接続され、前記第1の反転増幅器と同一の入出力特性を有する補助用反転増幅器を含み、前記補助用反転増幅器は前記第1の期間に入出力間が短絡され、その入力部が前記補助電圧に設定される、請求項1記載の電圧比較器。

【請求項 3】 前記出力用反転増幅器の入力部は前記第1の反転増幅器の出力部に接続され、前記第1の増幅信号に関連した信号は前記第1の増幅信号自体を含み、

前記第1の反転増幅器、前記補助用反転増幅器及び前記出力用反転増幅器それぞれの入出力特性は同一である、請求項2記載の電圧比較器。

【請求項 4】 第1の電極が前記第1の反転増幅器の出力部に接続される第2のキャパシタと、

入力部が前記第2のキャパシタの第2の電極に接続され、出力部が前記出力用反転増幅器の入力部に接続され、前記第1の期間に入出力間が短絡され、その入力部が第2のバイアス電圧に設定され、前記第2の期間に入力部より得られる信号を増幅して第2の増幅信号を出力する第2の反転増幅器とをさらに備え、前記第1の増幅信号に関連した信号は前記第2の増幅信号を含む、請求項2記載の電圧比較器。

【請求項 5】 前記バイアス電圧補助手段は前記第1の期間に前記第1のバイアス電圧を前記第1の反転増幅器の入力部に供給するバイアス電圧供給手段を含む、請求項1記載の電圧比較器。

【請求項 6】 前記第1の反転増幅器の入力部は第1及び第2の差動用入力部を含み、出力部は第1及び第2の差動用出力部を含み、前記第1の増幅信号は互いに逆相の信号となる第1及び第2の差動用増幅信号を含み、前記第1の反転増幅器は、前記第1及び第2の差動用入力部より得られる信号の電位差を増幅して前記第1及び第

2

2の差動用出力部から前記第1及び第2の差動用増幅信号をそれぞれ出力し、

前記第1のキャパシタは第1及び第2の差動用キャパシタを含み、前記第1及び第2の差動用キャパシタうち、一方のキャパシタの第1の電極は前記第1の期間に前記第1の電圧に受け、前記第2の期間に前記第2の電圧に受け、

前記第1の反転増幅器の前記第1の差動用入力部は前記第1の差動用キャパシタの第2の電極に接続され、前記第1の反転増幅器の前記第2の差動用入力部は前記第2の差動用キャパシタの第2の電極に接続される、請求項1記載の電圧比較器。

【請求項 7】 第1及び第2の電圧とを電圧比較してその電圧比較結果を出力する電圧比較器であって、

一方が不純物半導体電極であり他方がポリシリコンあるいは金属電極である第1及び第2の電極を有する第1のキャパシタを備え、前記第1のキャパシタの第1の電極は、第1の関連電圧を第1の期間に受け、第2の関連電圧を第2の期間に受け、

20 入力部が前記第1のキャパシタの第2の電極側に接続され、前記第1の期間に良好なゲイン特性が得られる第1のバイアス電圧に入力部が設定され、前記第2の期間に入力部より受ける信号を反転増幅して第1の増幅信号を出力する第1の反転増幅器と、

前記第1の増幅信号に関連した信号を増幅して増幅出力信号を前記電圧比較結果として出力する出力用反転増幅器と、

前記第1のキャパシタの第1あるいは第2の電極側に設けられ、容量値の電圧依存性が小さい動作領域で前記第1のキャパシタが動作するように、前記第1のキャパシタの第1あるいは第2の電極側を電圧制御する第1のキャパシタ電圧制御手段と、をさらに備える電圧比較器。

【請求項 8】 前記第1のキャパシタ電圧制御手段は、前記第1及び第2の電圧を受け、前記第1及び第2の電圧を変換して前記第1及び第2の関連電圧を前記第1のキャパシタの第1の電極にそれぞれ付与する第1のレベル変換手段を含み、前記第1及び第2の関連電圧は前記第1のキャパシタの第2の電極の電圧が前記第1のバイアス電圧のとき、前記第1のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルである、請求項7記載の電圧比較器。

【請求項 9】 前記第1のキャパシタ電圧制御手段は、前記第1の期間に、キャパシタ用バイアス電圧を前記第1のキャパシタの第2の電極に付与するキャパシタ用バイアス電圧供給手段を含み、前記キャパシタ用バイアス電圧は、前記第1のキャパシタの第1の電極が前記第1あるいは第2の関連電圧のとき、前記第1のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであり、

50 前記第1のキャパシタの第2の電極より得られる電圧を

レベル変換して前記第1の反転増幅器の入力部に付与する第1のレベル変換手段をさらに含み、前記第1のレベル変換手段は前記第1の期間に前記キャパシタ用バイアス電圧を前記第1のバイアス電圧にレベル変換する、請求項7記載の電圧比較器。

【請求項10】 前記キャパシタ用バイアス電圧供給手段は、

固定の第1の比較電圧を発生する第1の比較電圧発生手段と、

前記キャパシタ用バイアス電圧をレベル変換して第2の比較電圧を付与する第2のレベル変換手段と、

前記第1及び第2の比較電圧を比較して、その比較結果に基づき前記キャパシタ用電圧を出力する電圧比較手段とを含み、

前記第1の比較電圧は前記第1のバイアス電圧に等しく、前記第2のレベル変換手段の変換特性は前記第1のレベル変換手段の変換特性と同じである、請求項9記載の電圧比較器。

【請求項11】 前記第1の反転増幅器の入力部は第1及び第2の差動用入力部を含み、出力部は第1及び第2の差動用出力部を含み、前記第1の増幅信号は互いに逆相の信号となる第1及び第2の差動用増幅信号を含み、前記第1の反転増幅器は、前記第1及び第2の差動用入力部より得られる信号の電位差を増幅して前記第1及び第2の差動用出力部から前記第1及び第2の差動用増幅信号をそれぞれ出力し、

前記第1のキャパシタは第1及び第2の差動用キャパシタを含み、前記第1及び第2の差動用キャパシタのうち、一方のキャパシタの第1の電極は前記第1の期間に前記第1の関連電圧を受け、前記第2の期間に前記第2の関連電圧を受け、

前記第1の反転増幅器の前記第1の差動用入力部は前記第1の差動用キャパシタの第2の電極に接続され、前記第1の反転増幅器の前記第2の差動用入力部は前記第2の差動用キャパシタの第2の電極に接続される、請求項7記載の電圧比較器。

【請求項12】 一方が不純物半導体電極であり他方がポリシリコンあるいは金属電極である第1及び第2の電極を有し、前記第1の反転増幅器の出力部側に第1の電極が配置される第2のキャパシタと、

入力部が前記第2のキャパシタの第2の電極に接続され、出力部が前記出力用反転増幅器の入力部に接続され、前記第1の期間に良好なゲイン特性が得られる第2のバイアス電圧に入力部が設定され、前記第2の期間に入力部より受ける信号を反転増幅して第2の増幅信号を出力する第2の反転増幅器とをさらに備え、前記第1の増幅信号に関連した信号は、前記第2の増幅信号を含み、

前記第2のキャパシタの第1あるいは第2の電極側に設けられ、容量値の電圧依存性が小さい動作領域で前記第

2のキャパシタが動作するように、前記第2のキャパシタの第1あるいは第2の電極を電圧制御する第2のキャパシタ電圧制御手段をさらに備える、請求項7記載の電圧比較器。

【請求項13】 前記第2のキャパシタ電圧制御手段は、

前記第1の増幅信号をレベル変換して、第1のレベル変換電圧を前記第2のキャパシタの第1の電極に付与する第1のレベル変換手段を含み、前記第1のレベル変換電圧は前記第2のキャパシタの第2の電極の電圧は前記第2のバイアス電圧のとき、前記第2のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルである、請求項12記載の電圧比較器。

【請求項14】 前記第1の反転増幅器の前記第1のバイアス電圧は、前記第1のキャパシタの第1の電極が前記第1あるいは第2の関連電圧のとき、前記第1のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであり、

前記第2の反転増幅器の前記第2のバイアス電圧は、前記第2のキャパシタの第1の電極が前記第2のバイアス電圧のとき前記第2のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであり、

前記第1の反転増幅器は、前記第1のキャパシタの第2の電極側に設けられた前記第1のキャパシタ電圧制御手段を含み、

前記第2の反転増幅器は、前記第2のキャパシタの第2の電極側に設けられた前記第2のキャパシタ電圧制御手段を含む、請求項12記載の電圧比較器。

【請求項15】 前記第1の反転増幅器は、

前記第2の期間に入力部より受ける信号を反転増幅して内部増幅信号を出力する増幅部と、

前記内部増幅信号をレベル変換して前記第1の増幅信号を出力するレベル変換部とを含み、前記第1の増幅信号のレベルは前記第2のキャパシタの第2の電極が前記第2のバイアス電圧のとき前記第2のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであり、

前記第2のキャパシタ電圧制御手段は前記第2のキャパシタの第1の電極側に設けられ、前記レベル変換部を共有する、請求項12記載の電圧比較器。

【請求項16】 第1の電圧を第1の期間に受け、第2の電圧を第2の期間に受ける第1の電極を有する第1のキャパシタと、

入力部が前記第1のキャパシタの第2の電極側に接続され、前記第1の期間に良好なゲイン特性が得られる第1のバイアス電圧に入力部が設定され、前記第2の期間に入力部より受ける信号を反転増幅して第1の増幅信号を出力する第1の反転増幅器と、

前記第1の増幅信号に関連した信号を増幅して増幅出力信号を出力する出力用反転増幅器と、

入力部及び出力部を有し、前記第2の期間に前記増幅出

力信号をラッチデータとして入力部に受け、前記第1の期間に前記増幅出力信号を前記入力部に受けることなく出力部より得られる信号を入力部に帰還させて前記ラッチデータを保持するラッチ手段とを備え、前記出力用反転増幅器の駆動能力は、前記ラッチ手段の前記入力部に付随する容量の影響を受けないレベルに設定される、電圧比較器。

【請求項17】 第1の電極が前記第1の反転増幅器の出力部に接続される第2のキャパシタと、

入力部が前記第2のキャパシタの第2の電極に接続され、出力部が前記出力用反転増幅器の入力部に接続され、前記第1の期間に入力部が第2のバイアス電圧に設定され、第2の期間に入力部より得られる信号を増幅して第2の増幅信号を出力する第2の反転増幅器とをさらに備え、

前記ラッチ手段は、入力部から出力部にかけて直列に接続される第1及び第2の部分反転増幅器を含み、前記第2の反転増幅器は入出力部間に並列に接続される第3及び第4の部分反転増幅器を含み、

前記出力用反転増幅器は入出力部間に並列に接続される第5及び第6の部分反転増幅器を含み、

前記第1～第6の部分反転増幅器の入出力特性は同一に設定される、請求項16記載の電圧比較器。

【請求項18】 請求項1、請求項7あるいは請求項16記載の電圧比較器を備え、前記電圧比較器は複数の電圧比較器を有し、

アナログ信号である入力電圧を前記第1の電圧として前記複数の電圧比較器に共通に付与する入力電圧付与手段と、

互いに異なる複数の基準電圧をそれぞれ前記第2の電圧として前記複数の電圧比較器に付与する基準電圧付与手段と、

前記複数の電圧比較器それぞれの前記増幅出力信号に関連する信号をエンコードしてデジタル信号を出力するエンコード手段と、をさらに備えるA/Dコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はチョッパ型の電圧比較器およびこれを用いた並列型A/Dコンバータに関するものである。

【0002】

【従来の技術】 図30は従来のチョッパ型電圧比較器の一構成例を示す回路図である。図30において、同図に示すように、入力電圧VIN及び基準電圧VREFはそれぞれスイッチS1及びS2を介してキャパシタC1の一方電極に接続される。キャパシタC1の他方電極はインバータINV1の入力部に接続され、インバータINV1の出力部はキャパシタC2の一方電極に接続されるとともに、スイッチS3を介して入力に帰還する。キャパシタC2の他方電極はインバータINV2の入力部に

接続され、インバータINV2の出力部はインバータINV3の入力部に接続されるとともに、スイッチS4介して入力に帰還する。インバータINV3の出力VOUTはラッチ回路11に与えられ、ラッチ回路11から出力されるのラッチ出力LOUTが電圧比較器の出力となる。

【0003】 また、図31は図30の構成を更に詳細に示した回路図である。同図に示すように、インバータINV1～INV3はそれぞれPMOSトランジスタQ_PとNMOSトランジスタQ_NとからなるCMOSインバータ構成であり、スイッチS1～S4はそれぞれPMOSトランジスタQ_P及びNMOSトランジスタQ_Nの並列接続で構成され、スイッチS1、S3及びS4のNMOSトランジスタQ_N並びにスイッチS2のPMOSトランジスタQ_Pのゲートには制御信号φが印加され、スイッチS1、S3及びS4のPMOSトランジスタQ_P並びにスイッチS2のNMOSトランジスタQ_Nのゲートには反転制御信号バーアルファが印加される。

【0004】 また、ラッチ回路11は、スイッチSL1、SL2及びインバータINV4及びINV5から構成され、インバータINV4及びINV5は直列に接続され、インバータINV4の入力部とインバータINV3の出力部との間にスイッチSL1が設けられ、インバータINV5の出力部とインバータINV4の入力部との間にスイッチSL2が設けられる。インバータINV4及びインバータINV5はそれぞれPMOSトランジスタQ_PとNMOSトランジスタQ_NとからなるCMOSインバータ構成であり、スイッチSL1及びSL2はそれぞれPMOSトランジスタQ_P及びNMOSトランジスタQ_Nの並列接続で構成され、スイッチSL1のNMOSトランジスタQ_N及びスイッチSL2のPMOSトランジスタQ_Pのゲートには制御信号φが印加され、スイッチSL1のPMOSトランジスタQ_P及びスイッチSL2のNMOSトランジスタQ_Nのゲートには反転制御信号バーアルファが印加される。

【0005】 このような構成において、チョッパ型電圧比較器はオートゼロと呼ばれる期間と比較期間との二つのフェーズで動作する。図32はオートゼロ期間の動作説明用の図であり、図33は比較期間の動作説明用の図である。なお、説明の都合上、図30及び図31で示したインバータINV2及びスイッチS4を省略している。

【0006】 図32に示すように、オートゼロ期間(AZ期間)は制御信号φが“H”となり、スイッチS1及びS3がオン状態でスイッチS2はオフ状態となる。また、スイッチSL1がオフ状態でスイッチSL2がオン状態となるためラッチ回路11はラッチ状態となる。

【0007】 AZ期間では、キャパシタC1の(入力側の)一方電極にはアナログ電圧である入力電圧VINが印加されるとともに、インバータINV1の入出力間は

オン状態のスイッチ S 3 で短絡され、その入力電圧及び出力電圧は一致してバイアス電圧 V b で安定する。バイアス電圧 V b は図 3 4 に示すようにインバータの入力電圧と出力電圧が等しく、ゲインが高く、ゲイン特性が良好な電圧で V DD / 2 (V DD : 電源電圧) となる。

【0008】一方、図 3 3 に示すように、比較期間 (COMP 期間) は制御信号 ϕ が “L” となり、スイッチ S 1, S 3 がオフ状態で S 2 がオン状態となる。また、スイッチ S L 1 はオン状態で、スイッチ S L 2 がオフ状態となるため、ラッチ回路 1 1 はスルー状態となる。

【0009】COMP 期間では、キャパシタ C 1 の一方電極には基準電圧 V REF が印加され、このときの電圧変化 (V IN → V REF) がキャパシタ C 1 の他方電極に伝達される。インバータ IN V 1 はこのときスイッチ S 3 がオフ状態であるため、ゲインの高いバイアス電圧 V b にインバータ IN V 1 の入力側 (キャパシタ C 1 の他方電極側) の電圧変化分が重畠される。

【0010】したがって、インバータのゲインは高いので入力の少しの電圧変化をとらえ、大きく増幅して次段に伝える。このときの動作点の変化を図 3 5 (比較期間) に示す。この電圧変化は更に次の段のインバータ IN V 3 で増幅され、ラッチ回路 1 1 内部まで伝わる。

【0011】その後、次の A Z 期間に入るとラッチ回路 1 1 はそのデータを “H” あるいは “L” に確定する。以上の動作を繰り返して入力電圧 V IN と基準電圧 V REF との比較動作を行う。

【0012】図 3 6 は上記した比較動作を示すタイミング図である。同図に示すように、インバータ IN V 3 の出力 V OUT は A Z 期間中にバイアス電圧 V b となり、COMP 期間中に “H” あるいは “L” になり、ラッチ回路 1 1 のラッチ出力 L OUT は A Z 期間中に直前の COMP 期間の比較結果を示す。

【0013】チョッパ型電圧比較器の基本動作は以上であるが、インバータ (アンプ) の特性にミスマッチがあると比較結果にオフセット電圧が発生する。その原理を図 3 7 及び図 3 8 に示す。

【0014】A Z 期間には入出力を短絡するインバータ IN V 1 は入力と出力の電圧が同じになる点でバイアスされる。しかし、その次段のインバータ IN V 3 の特性 (L 3) がわずかではあるがインバータ IN V 1 の特性 (L 1) とずれていた場合、インバータ IN V 3 の出力電圧は IN V 1 のバイアス電圧とは V B E R R だけ異なる電圧になる。

【0015】A Z 期間にインバータ IN V 3 の出力が (V b + V B E R R) に収束している状態から、COMP 期間に移行し比較動作が始まると、インバータ IN V 3 “H” の結果は出しやすいが “L” の結果は出しにくいという状況になる。その結果、図 3 8 の破線に示すように、ラッチ出力 L OUT は変化して、本来、“L” を出力すべき A Z 期間に “H” を出力する誤動作が生じる

危険性がある。これは入力側から見た場合、オフセット電圧 (V B E R R) が発生していることを意味する。なお、図 3 0 及び図 3 1 で示した構成の場合、インバータ NV 2 とインバータ IN V 3 との入出力特性がズレてい場合も同様な誤動作が生じる危険性がある。

【0016】上記した不具合を避けるため、チョッパ型電圧比較器の各インバータは、サイズ、形状、向きを合わせ同じ特性を持たせるようにしている。なお、サイズとは、チャネル長、チャネル幅等のトランジスタサイズ、形状とはレイアウトパターンの形状、向きとはレイアウトパターンの形成方向を意味する。

【0017】さらに、ラッチ回路 1 1 内のインバータ IN V 4 及び IN V 5 も COMP 期間には増幅器として機能するため、その前段のインバータ IN V 3 で使用したものと同じインバータを用いることが多い。このように構成することによって上記したオフセット電圧を低減することが通常行われている。

【0018】図 3 9 は、電圧比較器を複数個並列に並べて構成する並列型 A/D コンバータの構成を示す回路図である。同図に示すように、基準電圧 V RT, V RB 間に (n + 1) 個のラダー抵抗 L R 1 ~ L R (n + 1) が直列に設けられる。また、n 個の電圧比較器 CMP 1 ~ CMP n において、電圧比較器 CMP i (i = 1 ~ n) の一方入力に入力電圧 V IN が印加され、他方入力はラダー抵抗 L R i と L R (i + 1) との間のノードより得られる基準タップ電圧 V R i が印加される。電圧比較器 CMP 1 ~ CMP n の出力はそれぞれエンコーダ 1 2 に与えられ、エンコーダ 1 2 は電圧比較器 CMP 1 ~ CMP n の出力に基づきエンコード結果 E OUT を出力する。

【0019】このような構成の A/D コンバータにおいて、電圧比較器 CMP 1 ~ CMP n は所定のクロックに同期して、入力電圧 V IN と基準タップ電圧 V R 1 ~ V R n それぞれとの比較を並列に行う。そして、エンコーダ 1 2 は、電圧比較器 CMP 1 ~ CMP n それぞれの比較結果をエンコードしてデジタル信号であるエンコード結果 E OUT を出力する。

【0020】したがって、3 ビットの A/D 変換を行う場合は n = 7 となり、図 3 9 に示すように、電圧比較器 CMP 1 ~ CMP 3 の出力が “L” で、CMP 4 ~ CMP 7 の出力が “H” の場合、エンコーダ 1 2 は “011” のエンコード結果 E OUT を出力する。

【0021】図 4 0 は差動アンプを用いたチョッパ型電圧比較器を示す回路図である。図 4 0 において、同図に示すように、入力電圧 V IN 及び基準電圧 V REF はそれぞれスイッチ S 1 1 及び S 1 2 を介してキャパシタ C 1 1 の一方電極に接続される。キャパシタ C 1 1 の他方電極は差動アンプ AMP 1 の第 1 入力部に接続され、差動アンプ AMP 1 の第 1 出力はキャパシタ C 1 2 の一方電極に接続されるとともに、スイッチ S 1 3 を介して第

1入力に帰還する。キャパシタC12の他方電極は差動アンプAMP2の第1入力部に接続され、差動アンプAMP2の第1出力部は差動アンプAMP3の第1入力部に接続されるとともに、スイッチS14介して第1入力に帰還する。

【0022】一方、入力電圧VIN及び基準電圧VREFそれぞれと逆相の反転入力電圧バーVIN及び反転基準電圧バーVREFはそれぞれスイッチS21及びS22を介してキャパシタC21の一方電極に接続される。

キャパシタC21の他方電極は差動アンプAMP1の第2入力部に接続され、差動アンプAMP1の第2出力部はキャパシタC22の一方電極に接続されるとともに、スイッチS23を介して第2入力に帰還する。キャパシタC22の他方電極は差動アンプAMP2の第2入力部に接続され、差動アンプAMP2の第2出力部は差動アンプAMP3の第2入力部に接続されるとともに、スイッチS24介して第2入力に帰還する。

【0023】差動アンプAMP3の出力（第1出力あるいは第2出力）はラッチ回路13に与えられ、ラッチ回路13から出力されるのラッチ出力LOUTが電圧比較器の出力となる。

【0024】図41は差動アンプAMP1（AMP2, AMP2）をNMOSトランジスタの差動対で構成した場合の内部構成を示す回路図である。同図に示すように、ソースが共に電源電圧VDDを受け、ゲートが共に定電圧VPBを受けるPMOSトランジスタQ11及びQ12はそれぞれノードN11及びN12を介してNMOSトランジスタQ13及びQ14のドレインに接続される。NMOSトランジスタQ13とNMOSトランジスタQ14とは差動対となり、NMOSトランジスタQ13のゲートに第1電圧V1を受け、NMOSトランジスタQ14のゲートに第2電圧V2を受ける。NMOSトランジスタQ13及びQ14のソースは、ゲートに定電圧VBBを受けるNMOSトランジスタQ15を介して共通に接地される。そして、NMOSトランジスタQ13のドレイン（ノードN11）、ゲート間がスイッチS13を介して接続され、NMOSトランジスタQ14のドレイン（ノードN12）、ゲート間がスイッチS23を介して接続される。

【0025】このような構成の差動アンプAMP1は、NMOSトランジスタQ13のゲートが第1入力部、ノードN11が第1出力部、NMOSトランジスタQ14のゲートが第2入力部、ノードN12が第1出力部となる。

【0026】図42は差動アンプAMP1（AMP2, AMP2）をNMOSトランジスタの差動対で構成した場合の内部構成を示す回路図である。同図に示すように、ソースが共に接地され、ゲートが共に定電圧VNBを受けるNMOSトランジスタQ21及びQ22はそれぞれノードN21及びN22を介してPMOSトランジ

スタQ23及びQ24のドレインに接続される。PMOSトランジスタQ23とPMOSトランジスタQ24とは差動対となり、PMOSトランジスタQ23のゲートに第1電圧V1を受け、PMOSトランジスタQ24のゲートに第2電圧V2を受ける。PMOSトランジスタQ23及びQ24のソースは、ゲートに定電圧VPBを受けるPMOSトランジスタQ25を介して電源電圧VDDに接続される。そして、PMOSトランジスタQ23のドレイン（ノードN21）、ゲート間がスイッチS13を介して接続され、PMOSトランジスタQ24のドレイン（ノードN22）、ゲート間がスイッチS13を介して接続される。

【0027】このような構成の差動アンプAMP1は、PMOSトランジスタQ23のゲートが第1入力部、ノードN21が第1出力部、PMOSトランジスタQ24のゲートが第2入力部、ノードN22が第1出力部となる。

【0028】なお、スイッチS11～S14及びスイッチS21～S24の内部構成は、図31で示したスイッチS1～S14と同様であり、スイッチS11、S13、S14、S21、S23及びS24は制御信号uが“H”的ときオン状態となり、スイッチS12及びS22は制御信号uが“L”的ときオン状態となる。

【0029】なお、その動作については、差動信号を扱う以外は基本的に、インバータアンプによる図30のチョッパ型電圧比較器と同様であるので説明は省略する。ただし、インバータアンプで構成するチョッパ型電圧比較器に対して差動信号を扱うため、同相で重畠されるノイズに対して影響を受けないと言う利点がある。

【0030】なお、図39に示すように、並列型A/Dコンバータを構成する場合、アナログ入力、基準電圧共に差動信号であることが理想であるが、片側すなわち、第2入力部に接続される、入力電圧VIN及び基準電圧VREFそれぞれと逆相の反転入力電圧バーVIN及び反転基準電圧バーVREFの代わりに固定電圧を与えるようにしてもよい。

【0031】

【発明が解決しようとする課題】従来のチョッパ型電圧比較器は以上のように構成されているため、以下に述べる3つの問題点を有している。

【0032】(1) アナログ信号である入力電圧VINの周波数が高くなった場合、AZ期間中にインバータアンプINV1の入力部の電圧VN1がゲイン特性が良好なバイアス電圧Vbに固定されず、入力電圧VINに応じて変動してしまう（図43）。

【0033】このため、COMP期間にはハイゲインなバイアス電圧から比較動作が始まらず、初期値にオフセットを持ったことと等価になり、“H”及び“L”的うち、一方を出力しやすく、他方を出力しにくくなる現象（オフセット電圧）が生じる。例えば、図44に示すよ

11

うに、A Z期間中に (V_{b+ERR}) に設定されていくと、“H”レベルが出力しやすく “L”レベルが出力しにくくなり、期間T 2 2の破線に示すように、本来 “L”を出力すべきラッチ出力L O U Tが “H”を出力してしまう危険性が生じる。

【0034】A Z期間中のインバータIN V 1の入力電圧V N 1が入力電圧V I Nによって変動しないようにするには、インバータIN V 1のサイズを大きくすることが必要となり、それに応じて2段目以降のインバータIN V 2及びIN V 2も同じように大きいインバータを使用する必要が生じ、その結果、消費電力の増大を招いてしまうという問題点があった。

【0035】(2) キャパシタC 1が電圧依存性を持つとき、A Z期間中の容量値に対してC M P期間の容量値が小さくなると、キャパシタC 1に一方電極側(入力側)の電圧変化が、他方電極側(インバータIN V 1側)に正しく伝わらず、電圧比較器の分解能が損なわれ、また、入力される入力電圧V I Nに応じて容量値が変わってしまうため歪みとなる危険があるという問題点があった。

【0036】容量の電圧依存性は2層のポリシリコン(あるいは金属層)で構成した図4 5に示す構造であれば電圧依存性はないが、図4 6に示すようにN+拡散層とポリシリコンで構成した場合は電圧依存性を持つことが知られている。

【0037】図4 5において、半導体基板3 5上に第1層ポリシリコン3 3及び第2層ポリシリコン3 4が構成され、入力端子3 1が第1層ポリシリコン3 3に接続され、出力端子3 2が第2層ポリシリコン3 4に接続される。なお、半導体基板3 5上の図示しない部分に酸化膜が形成される。したがって、第1層ポリシリコン3 3、第2層ポリシリコン3 4間にキャパシタ形成部分3 6ができる。

【0038】図4 6において、P+半導体基板3 7の表面に、N+拡散領域3 8が形成され、半導体基板3 5上に第1層ポリシリコン3 3が形成され、入力端子3 1がN+拡散領域3 8に接続され、出力端子3 2が第1層ポリシリコン3 3に接続される。なお、P+半導体基板3 7上の図示しない部分に酸化膜が形成される。したがって、N+拡散領域3 8と第1層ポリシリコン3 3との間にキャパシタ形成部分3 9ができる。

【0039】図4 5及び図4 6で示した構成のキャパシタの容量値の電圧依存性を図4 7に示す。図4 7において、L 1 1が図4 5で示した2層ポリシリコンで形成されたキャパシタC 1の電圧-容量値変化、L 1 2が図4 6で示したM O S構成のキャパシタC 1の電圧-容量値変化を示す。なお、図4 7の電圧とはキャパシタC 1の他方電極の電圧を基準とした一方電極の電圧を意味する。

【0040】(3) ラッチ回路1 1 (1 3)に前回の

12

比較結果の “H”あるいは “L”が保持されている状態でその次の比較結果を(その増幅過程で)ラッチ回路にしようとするため、図4 8に示すように、スイッチS 1、S 3、S 4及びS L 2がオンからオフに変化し、スイッチS 2及びスイッチS L 1がオフからオンに変化するとき、前回の保持データが次に取り込まれる入力データの “H”あるいは “L”に向かう電圧変化を妨げる方向に動作(キックバック)し、これによって電圧比較器の精度が損なわれるという問題があった。

【0041】例えば、図4 9に示すように、期間T 2 3のA Z期間中に、“H”的ラッチ出力L O U Tを出力していたため、続く期間T 2 4のC O M P期間中に、インバータIN V 3の出力V O U Tが十分低くならず、期間T 2 4のA Z期間の破線に示すように、ラッチ出力L O U Tが “H”と誤動作してしまう危険性がある。

【0042】この発明は上記問題点(1)～(3)を解決するためになされたもので、下記の(1)～(3)のいずれかを実現した高精度な電圧比較が行える電圧比較器及びA/Dコンバータを得ることを目的とする。

【0043】(1) 消費電力を増加させることなく、入力信号周波数が高くなてもオフセット電圧が生じない。

(2) 電圧依存性のあるキャパシタを用いた場合でも高精度に電圧比較が行える。

(3) ラッチ回路からのキックバックを低減し、高精度な電圧比較を行う。

【0044】

【課題を解決するための手段】この発明に係る電圧比較器は、第1の電圧を第1の期間に受け、第2の電圧を第2の期間に受けける第1の電極を有する第1のキャパシタと、入力部が前記第1のキャパシタの第2の電極に接続され、入力部が第1のバイアス電圧に設定されると良好なゲイン特性が得られ、前記第2の期間に入力部より受ける信号を反転増幅して第1の増幅信号を出力する第1の反転増幅器と、前記第1の増幅信号に関連した信号を増幅して増幅出力信号を出力する出力用反転増幅器と、前記第1の反転増幅器とは別途に設けられ、前記第1の期間に、前記第1の反転増幅器の入力部に前記第1のバイアス電圧と同レベルの補助電圧を付与するバイアス電圧補助手段とを備えている。

【0045】また、請求項2記載の電圧比較器において、前記第1の反転増幅器は、前記第1の期間に入出力間が短絡され、その入力部が前記第1のバイアス電圧に設定され、前記バイアス電圧補助手段は、前記第1の反転増幅器に並列に接続され、前記第1の反転増幅器と同一の入出力特性を有する補助用反転増幅器を含み、前記補助用反転増幅器は前記第1の期間に入出力間が短絡され、その入力部が前記補助電圧に設定されるものである。

【0046】また、請求項3記載の電圧比較器におい

50

13

て、前記出力用反転増幅器の入力部は前記第1の反転増幅器の出力部に接続され、前記第1の増幅信号に関連した信号は前記第1の増幅信号自体を含み、前記第1の反転増幅器、前記補助用反転増幅器及び前記出力用反転増幅器それぞれの入出力特性は同一である。

【0047】また、請求項4記載の電圧比較器は、第1の電極が前記第1の反転増幅器の出力部に接続される第2のキャパシタと、入力部が前記第2のキャパシタの第2の電極に接続され、出力部が前記出力用反転増幅器の入力部に接続され、前記第1の期間に入出力間が短絡され、その入力部が第2のバイアス電圧に設定され、前記第2の期間に入力部より得られる信号を増幅して第2の増幅信号を出力する第2の反転増幅器とをさらに備え、前記第1の増幅信号に関連した信号は前記第2の増幅信号を含んだものである。

【0048】また、請求項5記載の電圧比較器は、前記バイアス電圧補助手段は前記第1の期間に前記第1のバイアス電圧を前記第1の反転増幅器の入力部に供給するバイアス電圧供給手段を含んだものである。

【0049】また、請求項6記載の電圧比較器は、前記第1の反転増幅器の入力部は第1及び第2の差動用入力部を含み、出力部は第1及び第2の差動用出力部を含み、前記第1の増幅信号は互いに逆相の信号となる第1及び第2の差動用増幅信号を含み、前記第1の反転増幅器は、前記第1及び第2の差動用入力部より得られる信号の電位差を増幅して前記第1及び第2の差動用出力部から前記第1及び第2の差動用増幅信号をそれぞれ出力し、前記第1のキャパシタは第1及び第2の差動用キャパシタを含み、前記第1及び第2の差動用キャパシタうち、一方のキャパシタの第1の電極は前記第1の期間に前記第1の電圧に受け、前記第2の期間に前記第2の電圧に受け、前記第1の反転増幅器の前記第1の差動用入力部は前記第1の差動用キャパシタの第2の電極に接続され、前記第1の反転増幅器の前記第2の差動用入力部は前記第2の差動用キャパシタの第2の電極に接続されるものである。

【0050】この発明に係る請求項7記載の電圧比較器は、第1及び第2の電圧とを電圧比較してその電圧比較結果を出力し、一方が不純物半導体電極であり他方がポリシリコンあるいは金属電極である第1及び第2の電極を有する第1のキャパシタを備え、前記第1のキャパシタの第1の電極は、第1の関連電圧を第1の期間に受け、第2の関連電圧を第2の期間に受け、入力部が前記第1のキャパシタの第2の電極側に接続され、前記第1の期間に良好なゲイン特性が得られる第1のバイアス電圧に入力部が設定され、前記第2の期間に入力部より受ける信号を反転増幅して第1の増幅信号を出力する第1の反転増幅器と、前記第1の増幅信号に関連した信号を増幅して増幅出力信号を前記電圧比較結果として出力する出力用反転増幅器と、前記第1のキャパシタの第1あ

14

るいは第2の電極側に設けられ、容量値の電圧依存性が小さい動作領域で前記第1のキャパシタが動作するよう前記第1のキャパシタの第1あるいは第2の電極側を電圧制御する第1のキャパシタ電圧制御手段とをさらに備えている。

【0051】また、請求項8記載の電圧比較器において、前記第1のキャパシタ電圧制御手段は、前記第1及び第2の電圧を受け、前記第1及び第2の電圧を変換して前記第1及び第2の関連電圧を前記第1のキャパシタの第1の電極にそれぞれ付与する第1のレベル変換手段を含み、前記第1及び第2の関連電圧は前記第1のキャパシタの第2の電極の電圧が前記第1のバイアス電圧のとき、前記第1のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルである。

【0052】また、請求項9記載の電圧比較器において、前記第1のキャパシタ電圧制御手段は、前記第1の期間に、キャパシタ用バイアス電圧を前記第1のキャパシタの第2の電極に付与するキャパシタ用バイアス電圧供給手段を含み、前記キャパシタ用バイアス電圧は、前記第1のキャパシタの第1の電極が前記第1あるいは第2の関連電圧のとき、前記第1のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであり、前記第1のキャパシタの第2の電極より得られる電圧をレベル変換して前記第1の反転増幅器の入力部に付与する第1のレベル変換手段をさらに含み、前記第1のレベル変換手段は前記第1の期間に前記キャパシタ用バイアス電圧を前記第1のバイアス電圧にレベル変換するものである。

【0053】また、請求項10記載の電圧比較器において、前記キャパシタ用バイアス電圧供給手段は、固定の第1の比較電圧を発生する第1の比較電圧発生手段と、前記キャパシタ用バイアス電圧をレベル変換して第2の比較電圧を付与する第2のレベル変換手段と、前記第1及び第2の比較電圧を比較して、その比較結果に基づき前記キャパシタ用電圧を出力する電圧比較手段とを含み、前記第1の比較電圧は前記第1のバイアス電圧に等しく、前記第2のレベル変換手段の変換特性は前記第1のレベル変換手段の変換特性と同じである。

【0054】また、請求項11記載の電圧比較器は、前記第1の反転増幅器の入力部は第1及び第2の差動用入力部を含み、出力部は第1及び第2の差動用出力部を含み、前記第1の増幅信号は互いに逆相の信号となる第1及び第2の差動用増幅信号を含み、前記第1の反転増幅器は、前記第1及び第2の差動用入力部より得られる信号の電位差を増幅して前記第1及び第2の差動用出力部から前記第1及び第2の差動用増幅信号をそれぞれ出力し、前記第1のキャパシタは第1及び第2の差動用キャパシタを含み、前記第1及び第2の差動用キャパシタうち、一方のキャパシタの第1の電極は前記第1の期間に前記第1の関連電圧を受け、前記第2の期間に前記第2の

50

2の関連電圧を受け、前記第1の反転増幅器の前記第1の差動用入力部は前記第1の差動用キャパシタの第2の電極に接続され、前記第1の反転増幅器の前記第2の差動用入力部は前記第2の差動用キャパシタの第2の電極に接続されるものである。

【0055】また、請求項12記載の電圧比較器は、一方が不純物半導体電極であり他方がポリシリコンあるいは金属電極である第1及び第2の電極を有し、前記第1の反転増幅器の出力部側に第1の電極が配置される第2のキャパシタと、入力部が前記第2のキャパシタの第2の電極に接続され、出力部が前記出力用反転増幅器の入力部に接続され、前記第1の期間に良好なゲイン特性が得られる第2のバイアス電圧に入力部が設定され、前記第2の期間に入力部より受ける信号を反転増幅して第2の増幅信号を出力する第2の反転増幅器とをさらに備え、前記第1の増幅信号に関連した信号は、前記第2の増幅信号を含み、前記第2のキャパシタの第1あるいは第2の電極側に設けられ、容量値の電圧依存性が小さい動作領域で前記第2のキャパシタが動作するように、前記第2のキャパシタの第1あるいは第2の電極を電圧制御する第2のキャパシタ電圧制御手段をさらに備えたものである。

【0056】また、請求項13記載の電圧比較器において、前記第2のキャパシタ電圧制御手段は、前記第1の増幅信号をレベル変換して、第1のレベル変換電圧を前記第2のキャパシタの第1の電極に付与する第1のレベル変換手段を含み、前記第1のレベル変換電圧は前記第2のキャパシタの第2の電極の電圧は前記第2のバイアス電圧のとき、前記第2のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルである。

【0057】また、請求項14記載の電圧比較器において、前記第1の反転増幅器の前記第1のバイアス電圧は、前記第1のキャパシタの第1の電極が前記第1あるいは第2の関連電圧のとき、前記第1のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであり、前記第2の反転増幅器の前記第2のバイアス電圧は、前記第2のキャパシタの第1の電極が前記第2のバイアス電圧のとき前記第2のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであり、前記第1の反転増幅器は、前記第1のキャパシタの第2の電極側に設けられた前記第1のキャパシタ電圧制御手段を含み、前記第2の反転増幅器は、前記第2のキャパシタの第2の電極側に設けられた前記第2のキャパシタ電圧制御手段を含んだものである。

【0058】また、請求項15記載の電圧比較器において、前記第1の反転増幅器は、前記第2の期間に入力部より受ける信号を反転増幅して内部増幅信号を出力する増幅部と、前記内部増幅信号をレベル変換して前記第1の増幅信号を出力するレベル変換部とを含み、前記第1の増幅信号のレベルは前記第2のキャパシタの第2の電

極が前記第2のバイアス電圧のとき前記第2のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであり、前記第2のキャパシタ電圧制御手段は前記第2のキャパシタの第1の電極側に設けられ、前記レベル変換部を共有するものである。

【0059】この発明に係る請求項16記載の電圧比較器は、第1の電圧を第1の期間に受け、第2の電圧を第2の期間に受ける第1の電極を有する第1のキャパシタと、入力部が前記第1のキャパシタの第2の電極側に接続され、前記第1の期間に良好なゲイン特性が得られる第1のバイアス電圧に入力部が設定され、前記第2の期間に入力部より受ける信号を反転増幅して第1の増幅信号を出力する第1の反転増幅器と、前記第1の増幅信号に関連した信号を増幅して増幅出力信号を出力する出力用反転増幅器と、入力部及び出力部を有し、前記第2の期間に前記増幅出力信号をラッチデータとして入力部に受け、前記第1の期間に前記増幅出力信号を前記入力部に受けすことなく出力部より得られる信号を入力部に帰還させて前記ラッチデータを保持するラッチ手段とを備え、前記出力用反転増幅器の駆動能力は、前記ラッチ手段の前記入力部に付随する容量の影響を受けないレベルに設定される。

【0060】また、請求項17記載の電圧比較器は、第1の電極が前記第1の反転増幅器の出力部に接続される第2のキャパシタと、入力部が前記第2のキャパシタの第2の電極に接続され、出力部が前記出力用反転増幅器の入力部に接続され、前記第1の期間に入力部が第2のバイアス電圧に設定され、第2の期間に入力部より得られる信号を増幅して第2の増幅信号を出力する第2の反転増幅器とをさらに備え、前記ラッチ手段は、入力部から出力部にかけて直列に接続される第1及び第2の部分反転増幅器を含み、前記第2の反転増幅器は入出力部間に並列に接続される第3及び第4の部分反転増幅器を含み、前記出力用反転増幅器は入出力部間に並列に接続される第5及び第6の部分反転増幅器を含み、前記第1～第6の部分反転増幅器の入出力特性は同一に設定される。

【0061】この発明に係る請求項18記載のA/Dコンバータは、請求項1、請求項7あるいは請求項16記載の電圧比較器を備え、前記電圧比較器は複数の電圧比較器を有し、アナログ信号である入力電圧を前記第1の電圧として前記複数の電圧比較器に共通に付与する入力電圧付与手段と、互いに異なる複数の基準電圧をそれぞれ前記第2の電圧として前記複数の電圧比較器に付与する基準電圧付与手段と、前記複数の電圧比較器それぞれの前記増幅出力信号に関連する信号をエンコードしてデジタル信号を出力するエンコード手段とをさらに備えている。

【0062】
【発明の実施の形態】

<<実施の形態1>>

<第1の態様>図1はこの発明の実施の形態1であるチョッパ型電圧比較器の第1の態様の構成を示す回路図である。同図に示すように、入力電圧V_{IN}及び基準電圧V_{REF}はそれぞれスイッチS₁及びS₂を介してキャパシタC₁の一方電極に接続される。キャパシタC₁の他方電極はインバータ（アンプ）INV₁の入力部に接続され、インバータINV₁の出力部（第1の增幅信号を出力）はインバータ（アンプ）INV₃の入力部に接続されるとともに、スイッチS₃を介して入力に帰還する。インバータINV₃の出力V_{OUT}（出力用增幅信号を出力）はラッチ回路L₁に与えられ、ラッチ回路L₁から出力されるのラッチ出力L_{OUT}が電圧比較器の出力となる。

【0063】そして、インバータINV₁に対して並列にインバータ（アンプ）INV₁₁が接続される。したがって、インバータINV₁₁の入力はキャパシタC₁の他方電極に接続され、出力はインバータINV₃の入力部に接続されるとともにスイッチS₃を介して入力に帰還する。

【0064】なお、反転増幅器であるインバータINV₁、INV₃及びINV₁₁並びにスイッチS₁～S₄の内部構成は図31で示したインバータ（INV₁等）、スイッチ（S₁等）と同様である。また、スイッチS₁はスイッチS₂と逆相でオン／オフが駆動され、スイッチS₁、スイッチS₃及びスイッチS₄は同相でオン／オフが駆動される。

【0065】このとき、インバータINV₁、インバータINV₃及びインバータINV₁₁の入出力特性は同一に設定される。すなわち、サイズ、レイアウトパターン上の形状、向きを同一にしている。

【0066】このような構成において、入力電圧V_{IN}の入力信号周波数が高くなつた場合でも、AZ期間中（スイッチS₃はオン状態）のインバータINV₁及びINV₁₁の入力部の電圧V_{N1}は、初段のインバータアンプであるインバータINV₁及びインバータINV₁₁を並列接続することにより、駆動能力が大きくなり、その出力抵抗が小さくなるため、変動が小さくなりバイアス電圧V_b近傍で安定する。したがって、入力信号周波数が高くなつても入力側からみたオフセット電圧を十分小さくすることができ、高精度な電圧比較が行える。その結果、実施の形態1の第1の態様の電圧比較器を用いてA/Dコンバータを構成した場合、高精度なA/Dコンバータを得ることができる。

【0067】また、次段のインバータINV₃を初段のインバータアンプINV₁及びINV₁₁の特性に合わせて大きくする必要はない。すなわち、単位インバータアンプ（INV₁、INV₃及びINV₁₁）の入出力特性が合っているので、次段のインバータアンプの並列数を初段のインバータアンプの並列数を合わせる必要

はない。したがって、必要最小限のインバータアンプを追加することで済ますことができるため、消費電力の増加を抑制が図れる。

【0068】<第2の態様>図2はこの発明の実施の形態1であるチョッパ型電圧比較器の第2の態様の構成を示す回路図である。同図に示すように、入力電圧V_{IN}及び基準電圧V_{REF}はそれぞれスイッチS₁及びS₂を介してキャパシタC₁の一方電極に接続される。キャパシタC₁の他方電極はインバータINV₁の入力部に接続され、インバータINV₁の出力部（第1の增幅信号を出力）はキャパシタC₂の一方電極に接続されるとともに、スイッチS₃を介して入力に帰還する。キャパシタC₂の他方電極はインバータINV₂の入力部に接続され、インバータINV₂の出力部（第2の增幅信号を出力）はインバータINV₃の入力部に接続されるとともに、スイッチS₄を介して入力に帰還する。インバータINV₃の出力V_{OUT}（出力用增幅信号）はラッチ回路L₁に与えられ、ラッチ回路L₁から出力されるのラッチ出力L_{OUT}が電圧比較器の出力となる。

【0069】そして、第2の態様は第1の態様と同様、インバータINV₁に対して並列にインバータINV₁₁が接続される。したがって、インバータINV₁₁の入力はキャパシタC₁の他方電極に接続され、出力部はインバータINV₃の入力部に接続されるとともにスイッチS₃を介して入力に帰還する。

【0070】なお、反転増幅器であるインバータINV₁～INV₃及びINV₁₁並びにスイッチS₁～S₄の内部構成は図31で示したインバータ（INV₁等）、スイッチ（S₁等）と同様である。また、スイッチS₁はスイッチS₂と逆相でオン／オフが駆動され、スイッチS₁、スイッチS₃及びスイッチS₄は同相でオン／オフが駆動される。

【0071】このとき、インバータINV₁及びインバータINV₁₁の入出力特性は同一に設定される。

【0072】このような構成において、第1の態様と同様、入力電圧V_{IN}の入力信号周波数が高くなつた場合でも、AZ期間中のインバータINV₁及びINV₁₁の入力部の電圧V_{N1}は、初段のインバータアンプの出力抵抗がインバータINV₁及びインバータINV₁₁を並列接続することにより小さくなるため、変動が小さくなりバイアス電圧V_b近傍で安定する。したがって、入力信号周波数が高くなつても入力側からみたオフセット電圧を十分小さくすることができ、高精度な比較結果を得ることができる。その結果、実施の形態1の第2の態様の電圧比較器を用いてA/Dコンバータを構成した場合、高精度なA/Dコンバータを得ることができる。

【0073】また、インバータINV₂はキャパシタC₂を介してインバータアンプINV₁に接続されるため、インバータINV₂の入出力特性をインバータINV₁

19

V 1 (インバータ IN V 1 1) に正確に一致させなくとも、インバータ IN V 1 とインバータ IN V 2 との入出力特性のズレによりインバータ IN V 1 にオフセット電圧はほとんど生じない。また、高速化を図る場合はインバータ IN V 2 の駆動能力を大きくすればよい。

【0074】また、第1の態様では、AZ期間中に初段インバータアンプ IN V 1 及び IN V 1 1 の入力部の電位 VN 1 をバイアス電圧 V b で固定できない場合、その変動は減衰はするもの次段のインバータアンプ IN V 3 の入力部まで伝わってしまうが、第2の態様では、次段のインバータアンプ IN V 2 は、キャパシタ C 2 を介しているため、初段のインバータアンプの入力部(出力部)の変動の影響を受けない。

【0075】<<実施の形態2>>図3はこの発明の実施の形態2であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、入力電圧 V IN 及び基準電圧 V REF はそれぞれスイッチ S 1 及び S 2 を介してキャパシタ C 1 の一方電極に接続される。キャパシタ C 1 の他方電極はインバータ IN V 1 の入力部に接続され、インバータ IN V 1 の出力部はキャパシタ C 2 の一方電極にのみ接続される。

【0076】そして、バイアス電圧発生回路1の出力部がスイッチ S 3 を介してインバータ IN V 1 の入力部に接続される。バイアス電圧発生回路1は低インピーダンスの出力部からバイアス電圧 V b を発生する。なお、他の構成は図2で示した実施の形態1の第2の態様の構成と同様である。

【0077】また、スイッチ S 1 はスイッチ S 2 と逆相でオン／オフが駆動され、スイッチ S 1 、スイッチ S 3 及びスイッチ S 4 は同相でオン／オフが駆動される。

【0078】このような構成において、入力電圧 V IN の入力信号周波数が高くなつた場合でも、AZ期間中(スイッチ S 3 はオン状態)のインバータ IN V 1 の入力部の電圧 VN 1 は、インバータ IN V 1 の入出力間を短絡することなくバイアス電圧発生回路1によりバイアス電圧 V b に設定されるため、バイアス電圧 V b 近傍で安定する。したがつて、入力信号周波数が高くなつても入力側からみたオフセット電圧を十分小さくすることができ、高精度な電圧比較が行える。その結果、実施の形態2の電圧比較器を用いてA／Dコンバータを構成した場合、高精度なA／Dコンバータを得ることができる。

【0079】このとき、インバータ IN V 1 自体の駆動能力を大きくしていなつたため、消費電力の増加を抑制することができる。

【0080】また、実施の形態2はキャパシタ C 2 を介して更にインバータアンプ IN V 2 が設けられているため、素子のバラツキのよつて初段のインバータ IN V 1 の入出力特性がバイアス電圧 V b に合致しない場合でも、インバータ IN V 2 自体が比較的ゲインの高いところでバイアスされておれば、インバータ IN V 1 の素子

20

バラツキによって生じるオフセット電圧はキャパシタ C 2 で解消され電圧比較器の精度を損なう要因にならぬ。

【0081】また、実施の形態2のチョッパ型電圧比較器を複数個用いて、並列型A／Dコンバータを構成する場合にはバイアス電圧発生回路1を複数の電圧比較器間で共有することにより、バイアス電圧発生回路1を有効に利用することができる。

【0082】<バイアス電圧発生回路>図4はバイアス電圧発生回路の一構成例を示す回路図である。同図に示すように、電源 V DD 、接地間に抵抗 R 1 及び R 2 が直列に接続され、抵抗 R 1 と R 2 との間のノード N 2 3 がキャパシタ C 3 1 を介して接地され、ノード N 2 3 より得られる信号がバイアス電圧 V b となる。バイアス電圧 V b は抵抗 R 1 及び R 2 による抵抗分割で V DD / 2 程度になる。なお、キャパシタ C 3 1 は高周波入力に対するインピーダンス低下のために設けられる。

【0083】図5はバイアス電圧発生回路の他の構成例を示す回路図である。同図に示すように、インバータ(アンプ) IN V 1 2 の入出力間がスイッチ S 5 を介して接続され、インバータ IN V 1 2 の入力部であるノード N 2 4 はキャパシタ C 3 2 を介して接地され、ノード N 2 4 より得られる信号がバイアス電圧 V b となる。インバータ IN V 1 2 はインバータ IN V 2 と入出力特性が同一であり、スイッチ S 5 はスイッチ S 1 、 S 3 及び S 4 と同相で駆動される。

【0084】このような構成において、AZ期間中にスイッチ S 5 がオンすると、インバータ IN V 1 2 の入出力間が短絡されて、ノード N 2 4 よりバイアス電圧 V b が出力される。なお、キャパシタ C 3 2 は高周波入力に対するインピーダンス低下のために設けられる。

【0085】<動作>図6は、実施の形態2のチョッパ型電圧比較器の動作を示すタイミング図である。同図に示すように、インバータ IN V 3 の出力 V OUT はAZ期間中にバイアス電圧 V b とから多少変動するが、その変動量 E RR を十分小さく抑えることができるため、ラッチ出力 L OUT は破線に示すように誤った値を探ることはない。したがつて、実施の形態2のチョッパ型電圧比較器は、正常に動作しえる変換速度としてより高いものまで対応できることを意味している。

【0086】<その他>実施の形態1の第1の態様のインバータ IN V 1 1 に置き換えて、実施の形態2のバイアス電圧発生回路1を用いる構成も考えられる。この場合も、多少オフセット電圧は発生するが、図3で示した構成と同様に入力電圧 V IN の入力信号周波数が高くなつた場合でもインバータ IN V 1 の入力部をバイアス電圧 V b 近傍で安定させることができる。

【0087】<<実施の形態3>>図7はこの発明の実施の形態3であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、入力電圧 V IN 及び基

21

準電圧V R E FはそれぞれスイッチS 1 1及びS 1 2を介してキャパシタC 1 1の一方電極に接続される。キャパシタC 1 1の他方電極は差動アンプAMP 1の第1入力部に接続され、差動アンプAMP 1の第1出力部はキャパシタC 1 2の一方電極に接続されるとともに、スイッチS 1 3を介して第1入力に帰還する。キャパシタC 1 2の他方電極は差動アンプAMP 2の第1入力部に接続され、差動アンプAMP 2の第1出力部は差動アンプAMP 3の第1入力部に接続されるとともに、スイッチS 1 4を介して第1入力に帰還する。

【0088】一方、入力電圧V I N及び基準電圧V R E Fそれぞれと逆相の反転入力電圧バーV I N及び反転基準電圧バーV R E FはそれぞれスイッチS 2 1及びS 2 2を介してキャパシタC 2 1の一方電極に接続される。キャパシタC 2 1の他方電極は差動アンプAMP 1の第2入力部に接続され、差動アンプAMP 1の第2出力部はキャパシタC 2 2の一方電極に接続されるとともに、スイッチS 2 3を介して第2入力に帰還する。キャパシタC 2 2の他方電極は差動アンプAMP 2の第2入力部に接続され、差動アンプAMP 2の第2出力部は差動アンプAMP 3の第2入力部に接続されるとともに、スイッチS 2 4を介して第2入力に帰還する。

【0089】差動アンプAMP 3の出力（第1出力あるいは第2出力）はラッチ回路1 3に与えられ、ラッチ回路1 3から出力されるのラッチ出力L O U Tが電圧比較器の出力となる。

【0090】そして、差動アンプAMP 1に対して並列に差動アンプAMP 1 1が接続される。したがって、差動アンプAMP 1 1の第1入力部及び第2入力部はそれぞれキャパシタC 1 1及びC 2 1の他方電極に接続され、第1出力部及び第2出力部はキャパシタC 1 2及びC 2 2の一方電極に接続されるとともに、スイッチS 1 3及びS 2 3を介して第1入力及び第2入力に帰還する。

【0091】なお、差動アンプAMP 1（AMP 2, AMP 3, AMP 1 1）は、図41で示す内部構成の場合、NMOSトランジスタQ 1 3のゲートが第1入力部、ノードN 1 1が第1出力部、NMOSトランジスタQ 1 4のゲートが第2入力部、ノードN 1 2が第2出力部となる。したがって、第1出力部から出力される増幅信号と論理的に反転した反転増幅信号が第2出力部から出力される。

【0092】また、スイッチS 1 1はスイッチS 1 2及びS 2 2と逆相でオン／オフが駆動され、スイッチS 1 1、スイッチS 1 3、スイッチS 1 4、スイッチS 2 1、スイッチS 2 3及びスイッチS 2 4は同相でオン／オフが駆動される。

【0093】このとき、差動アンプAMP 1及び差動アンプAMP 1 1の入出力特性は同一に設定される。

【0094】このような構成において、実施の形態1の 50

22

第2の態様と同様、入力電圧V I Nの入力信号周波数が高くなった場合でも、A Z期間中の差動アンプAMP 1及びAMP 1 1の入力部の電圧VN 1 1及びVN 1 2は、初段の差動アンプの出力抵抗が差動アンプAMP 1及び差動アンプAMP 1 1を並列接続することにより小さくなるため、変動が小さくなり理想的なバイアス電圧近傍で安定する。したがって、入力信号周波数が高くなつても入力側からみたオフセット電圧を十分小さくすることができ、高精度な電圧比較が行える。その結果、実施の形態3の電圧比較器を用いてA／Dコンバータを構成した場合、高精度なA／Dコンバータを得ることができる。

【0095】加えて、差動アンプを用いることにより、基準電圧V R E Fと入力電圧V I Nとの比較を精度よく行うことができる。

【0096】また、差動アンプAMP 2はキャパシタC 1 2及びC 2 2を介して差動アンプAMP 1に接続されるため、差動アンプAMP 2の入出力特性を差動アンプAMP 1（差動アンプAMP 1 1）に正確に一致させる必要はない。特に高速化を図る場合は差動アンプAMP 2の駆動能力を大きくしてもよい。

【0097】また、次段の差動アンプAMP 2は、キャパシタC 1 2及びC 2 2を介しているため、初段の差動アンプAMP 1及びAMP 1 1の入力部（出力部）の変動の影響を受けない。

【0098】また、キャパシタC 1 2及びC 2 2並びに差動アンプAMP 2を省略し、差動アンプAMP 1の第1及び第2出力部をそれぞれ差動アンプAMP 3の第1入力部及び第2入力部に接続した構成でも、入力電圧V I Nの入力信号周波数が高くなった場合に差動アンプAMP 1の入力部をバイアス電圧近傍で安定させることができる。

【0099】<<実施の形態4>>図8はこの発明の実施の形態4であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、バイアス電圧発生回路2の出力部がスイッチS 1 3及びS 1 4を介して差動アンプAMP 1の第1入力部及び第2入力部にそれぞれ接続される。バイアス電圧発生回路2は低インピーダンスの出力部からバイアス電圧V bを発生する。なお、他の構成は図7で示した実施の形態3と同様である。

【0100】また、スイッチS 1 1はスイッチS 1 2及びS 2 2と逆相でオン／オフが駆動され、スイッチS 1 1、スイッチS 1 3、スイッチS 1 4、スイッチS 2 1、スイッチS 2 3及びスイッチS 2 4は同相でオン／オフが駆動される。

【0101】このような構成において、入力電圧V I Nの入力信号周波数が高くなった場合でも、A Z期間中（スイッチS 1 3及びS 2 3はオン状態）の差動アンプAMP 1の第1及び第2の入力部の電圧VN 1 1及びVN 1 2は、バイアス電圧発生回路2からバイアス電圧V

bが供給されるため、バイアス電圧Vb近傍で安定する。したがって、入力信号周波数が高くなても入力側からみたオフセット電圧を十分小さくすることができ、高精度な電圧比較が行える。その結果、実施の形態4の電圧比較器を用いてA/Dコンバータを構成した場合、高精度なA/Dコンバータを得ることができる。

【0102】このとき、差動アンプAMP1自体の駆動能力を大きくしていないため、消費電力の増加を抑制することができる。

【0103】また、実施の形態4はキャパシタC2を介して更に差動アンプAMP2が設けられているため、素子のバラツキのよって初段の差動アンプAMP1の入出力特性がバイアス電圧Vbに合致しない場合でも、差動アンプAMP2自体が比較的ゲインの高いところでバイアスされておれば、差動アンプAMP1の素子バラツキによって生じるオフセット電圧はキャパシタC2で解消され電圧比較器の精度を損なう要因にならない。

【0104】また、実施の形態4のチョッパ型電圧比較器を複数個用いて、並列型A/Dコンバータを構成する場合にはバイアス電圧発生回路2を複数の電圧比較器間で共有することにより、バイアス電圧発生回路2を有効に利用することができる。

【0105】<バイアス電圧発生回路>図9はバイアス電圧発生回路2の構成例を示す回路図である。同図に示すように、差動アンプAMP12の第1入出力間及び第2入出力間がそれぞれスイッチS15及びS25を介して接続され、差動アンプAMP12の第1及び第2入力部であるノードN31及びN32は共通に接続され、ノードN32はキャパシタC33を介して接地され、ノードN31より得られる信号がバイアス電圧Vbとなる。差動アンプAMP12は差動アンプAMP2と入出力特性が同一であり、スイッチS15及びS25はスイッチS11, S13, S14, S21, S23及びS24と同相で駆動される。

【0106】このような構成において、AZ期間中にスイッチS15及びS25がオンすると、差動アンプAMP12の第1及び第2の入出力間がそれぞれ短絡されて、ノードN31よりバイアス電圧Vbが出力される。なお、キャパシタC33は高周波入力に対するインピーダンス低下のために設けられる。

【0107】また、キャパシタC12及びC22並びに差動アンプAMP2を省略し、差動アンプAMP1の第1及び第2出力部をそれぞれ差動アンプAMP3の第1入力部及び第2入力部に接続した構成でも、入力電圧VINの入力信号周波数が高くなつた場合に差動アンプAMP1の入力部をバイアス電圧近傍で安定させることができる。

【0108】<<実施の形態5>>図10は実施の形態5のチョッパ型電圧比較器の外部入力変換部の構成を示す回路図である。基準電圧VRT, VRB用のノードN

3, N4間に(n+1)個のラダー抵抗LR1～LR(n+1)が直列に設けられる。そして、ノードN3は抵抗Raを介して電源電圧VDDが付与され、ノードN4は抵抗Rbを介して接地される。

【0109】ここで、ラダー抵抗LR1～LR(n+1)の全体抵抗値をRLADとすると、抵抗RaはRa > (Rb + RLAD)を満足する。したがって、基準電圧VRTをVDD/2以下に設定することができる。

【0110】一方、外部より得られる入力電圧VINは10入力レベル設定回路3により変換入力電圧VCINに変換される。入力レベル設定回路3は、電源、接地レベル間に直列に接続された抵抗Ra1及び抵抗Rb1が設けられ、抵抗Ra1, 抵抗Rb1間のノードN5はキャパシタC34を介して入力電圧VINを受ける。

【0111】ここで、抵抗Ra1及びRb1の抵抗比を2:1に設定することにより、VDD/2以下の入力レンジ設定で、VDD/3のレベルのDCオフセットをもたらせた変換入力電圧VCINを得る。

【0112】また、n個の電圧比較器CMP1～CMPnにおいて、電圧比較器CMPi(i=1～n)の一方入力に変換入力電圧VCINがレベル変換された変換入力電圧VCINが印加され、他方入力はラダー抵抗LRiとLR(i+1)との間のノードより得られる基準タップ電圧VRiが印加される。電圧比較器CMP1～CMPnの出力はそれぞれ図示しないエンコーダに与えられ、エンコーダは電圧比較器CMP1～CMPnの出力に基づきエンコード結果を出力する。

【0113】各電圧比較器CMPiの内部構成は図11に示すような通常のチョッパ型電圧比較器と同様の内部構成となる。ただし、キャパシタC1は図46で示すような構造のMOSキャパシタであり、通常、チョッパ型電圧比較器内のキャパシタC1は下方に設けた電極を入力側に設定するため、キャパシタC1の一方電極が半導体電極(N+拡散領域38)となる。なぜなら、寄生容量の大きい半導体電極を入力側にし、結合容量部分の伝達率が小さくならないようにするためである。以下、図11を含む回路図において、便宜上、キャパシタの半導体電極側をNで示す。

【0114】このように、実施の形態5のチョッパ型電圧比較器の外部入力変換部によってキャパシタC1の一方電極に付与される電圧VC(基準電圧VRi及び変換入力電圧VCIN)をVDD/2以下に抑えることにより、キャパシタC1の半導体電極の電位はインバータアンプのバイアス電圧Vb(VDD/2)より確実に低くなり、図12に示すように、比較的電圧依存性が小さい動作領域A1でキャパシタC1が動作させることができる。

【0115】その結果、並列型A/Dコンバータを構成する各電圧比較器内のキャパシタC1の容量値は、バイアスレベル、すなわち、入力レベル、あるいは並列型A

／Dを構成した比較器の位置によって大きく変動することができなくなり、高精度な電圧比較を行うことができ、その結果、高精度なA／Dコンバータを得ることができる。

【01116】なお、図11のキャパシタC1が、P+拡散領域を半導体電極としたMOSキャパシタの場合も、同様の原理でキャパシタC1の一方電極（半導体電極）に付与される電圧VC（基準電圧VRi及び変換入力電圧VCIN）をVDD/2VDD/2以上に設定すればよい。

【01117】<<実施の形態6>>図13はこの発明の実施の形態6であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、入力電圧VIN及び基準電圧VREFはそれぞれスイッチS1及びS2を介してキャパシタC1の一方電極に接続される。キャパシタC1の他方電極はレベルシフト回路5の入力部に接続される。キャパシタC1の入力部はインバータINV1の出力部に接続され、インバータINV1の出力部はインバータINV3の入力部に接続されるとともに、スイッチS3を介して入力に帰還する。インバータINV3の出力VOUTはラッチ回路11に与えられ、ラッチ回路11から出力されるのラッチ出力LOUTが電圧比較器の出力となる。なお、スイッチS1とスイッチS2とは逆相で駆動され、スイッチS1とスイッチS3とは同相で駆動される。

【01118】レベルシフト回路4はNMOSトランジスタQ1及び定電流源14より構成され、NMOSトランジスタQ1のドレインは電源VDDに接続され、ソースは定電流源14を介して接地される。そして、NMOSトランジスタQ1のゲートが入力部となり、ソースが出力部となる。このようにレベルシフト回路4はNMOSトランジスタQ1のソースホロワ回路となる。このような構成にすることによって、アナログ入力、基準電圧入力のレベルを所定レベル（MOSトランジスタQ1の閾値電圧に定電流源14による供給電流に基づく電圧を加えたレベル）低下させることができる。

【01119】このように、実施の形態6のチョッパ型電圧比較器は、レベルシフト回路4によってキャパシタC1の一方電極に付与される電圧VC（基準電圧VREF及び変換入力電圧VIN）を低く抑えることにより、キャパシタC1の半導体電極の電位はインバータアンプのバイアス電圧Vbより低くなり、図12に示すように、比較的電圧依存性が小さい動作領域A1でキャパシタC1が動作させることができる。

【0120】その結果、電圧比較器内のキャパシタC1の容量値は、バイアスレベルによって大きく変動することができなくなり、高精度な電圧比較を行うことができる。したがって、実施の形態6の電圧比較器を用いて、図10に示すように、並列型A／Dコンバータを構成した場合、高精度なA／Dコンバータを得ることができる。

【0121】<<実施の形態7>>図14はこの発明の実施の形態7であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、入力電圧VIN及び基準電圧VREFはそれぞれスイッチS1及びS2を介してキャパシタC1の一方電極に接続される。キャパシタC1の他方電極はレベルシフト回路5の入力部に接続されるとともに、スイッチS6を介してバイアス電圧発生回路6の出力部に接続される。レベルシフト回路5の出力部はインバータINV1の入力部に接続される。インバータINV1の出力部はインバータINV3の入力にのみ接続される。なお、図13と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【0122】バイアス電圧発生回路6は、キャパシタC1の一方電極に付与される電圧VC（基準電圧VRi及び変換入力電圧VCIN）より十分大きいバイアス電圧VBを発生する。また、スイッチS6はスイッチS1と同相で駆動される。

【0123】レベルシフト回路5はNMOSトランジスタQ2及び定電流源15より構成され、NMOSトランジスタQ2のドレインは電源VDDに接続され、ソースは定電流源15を介して接地される。そして、NMOSトランジスタQ2のゲートが入力部となり、ソースが出力部となる。このようにレベルシフト回路5はNMOSトランジスタQ2のソースホロワ回路となる。このような構成にすることによって、ノードN6の電位をシフト量△V5分低下させてインバータINV1の入力部に与える。したがって、スイッチS1及びS6がオン状態のAZ期間中において、バイアス電圧VB（Vb+△V5）はレベルシフト回路5によってインバータINV1に適応したバイアス電圧Vbにレベルシフトされる。

【0124】このように、実施の形態7のチョッパ型電圧比較器は、バイアス電圧発生回路6によってキャパシタC1の一方電極に付与されるバイアス電圧VBを、一方電極に付与される電圧VC（基準電圧VREF及び変換入力電圧VIN）より高く設定することにより、図12に示すように、比較的電圧依存性が小さい動作領域A1でキャパシタC1を動作させることができる。また、レベルシフト回路5によってインバータINV1の入力部をバイアス電圧Vbにレベルシフトさせることによって、インバータINV1の正常動作が可能となる。

【0125】その結果、電圧比較器内のキャパシタC1の容量値は、バイアスレベルによって大きく変動することができなくなり、高精度な電圧比較を行うことができる。したがって、実施の形態7の電圧比較器を用いて、図10に示すように、並列型A／Dコンバータを構成した場合、高精度なA／Dコンバータを得ることができる。

【0126】<バイアス電圧発生回路>図15はバイアス電圧発生回路6の内部構成の一構成例を示す回路図である。同図に示すように、インバータINV13がスイッチS7を介して入出力間が接続され、インバータIN

V 1 3 の入力部が電圧比較器 1 6 の正入力部に接続される。一方、電源、接地レベル間にN M O SトランジスタQ 3 及び定電流源1 7 が直列に接続され、N M O SトランジスタQ 3 のソースが電圧比較器 1 6 の負入力部に接続される。電圧比較器 1 6 の出力がバイアス電圧V B として出力されるとともに、キャパシタC 3 5 を介して接地される。

【0 1 2 7】なお、インバータIN V 1 の入出力特性はインバータIN V 1 と同一にし、N M O SトランジスタQ 3 及び定電流源1 7 からなるレベルシフト回路は、レベルシフト回路5 と同一のレベルシフト量 $\Delta V 5$ を有する。また、スイッチS 7 はスイッチS 1 及びS 6 と同相で駆動される。また、キャパシタC 3 5 はバイアス電圧V B を安定化するとともに電圧比較器 1 6 の帰還系の発振防止を行っている。

【0 1 2 8】このように構成することにより、A Z期間中にバイアス電圧発生回路6 から発生されるバイアス電圧V B は正確に($V b + \Delta V 5$)となる。したがって、インバータIN V 1 のバイアス電圧V b をゲインの高い(ゲイン特性が良好な)点に正確に設定することができる。

【0 1 2 9】図1 6 はバイアス電圧発生回路の他の構成例を示す回路図である。同図に示すように、電源V D D, 接地間に抵抗R 3 及びR 4 が直列に接続され、抵抗R 3 とR 4との間のノードN 2 5 がキャパシタC 3 6 を介して接地され、ノードN 2 5 より得られる信号がバイアス電圧V B となる。なお、キャパシタC 3 6 は高周波入力に対するインピーダンス低下のために設けられる。

【0 1 3 0】図1 6 で示した構成は、バイアス電圧V B の精度があまり要求されないとき、簡単な構成で実現できる利点がある。

【0 1 3 1】<<実施の形態8>>図1 7 はこの発明の実施の形態8 であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、入力電圧V I N 及び基準電圧V R E F はそれぞれスイッチS 1 及びS 2 を介してレベルシフト回路4 の入力部に接続され、レベルシフト回路4 の出力部はキャパシタC 1 の一方電極に接続される。キャパシタC 1 の他方電極はインバータIN V 1 の入力部に接続され、インバータIN V 1 の出力部はレベルシフト回路7 の入力部に接続されるとともに、スイッチS 3 を介して入力に帰還する。レベルシフト回路7 の出力部はキャパシタC 2 の一方電極に接続され、キャパシタC 2 の他方電極はインバータIN V 2 の入力部に接続される。インバータIN V 2 の出力部はインバータIN V 3 の入力部に接続されるとともに、スイッチS 4 を介して入力に帰還する。インバータIN V 3 の出力V O U T はラッチ回路1 1 に与えられ、ラッチ回路1 1 から出力されるのラッチ出力L O U T が電圧比較器の出力となる。なお、スイッチS 1 とスイッチS 2 とは逆相で駆動され、スイッチS 1 、スイッチS 3 及びスイッチ

S 4 は同相で駆動される。なお、図1 3 と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【0 1 3 2】ただし、キャパシタC 2 はキャパシタC 1 と同様、図4 6 で示すような構造のM O Sキャパシタであり、キャパシタC 2 の一方電極が半導体電極となる。

【0 1 3 3】レベルシフト回路7 はN M O SトランジスタQ 4 及び定電流源1 8 より構成され、N M O SトランジスタQ 4 のドレインは電源V D D に接続され、ソースは定電流源1 8 を介して接地される。そして、N M O SトランジスタQ 4 のゲートが入力部となり、ソースが出力部となる。このような構成にすることによって、インバータIN V 1 の出力レベルを所定レベル(N M O SトランジスタQ 4 の閾値電圧に定電流源1 8 による供給電流に基づく電圧を加えたレベル)低下させることができる。

【0 1 3 4】このように、実施の形態8 のチョッパ型電圧比較器は、レベルシフト回路4 によってキャパシタC 1 の一方電極に付与される電圧V C (基準電圧V R E F 及び変換入力電圧V I N)を低く抑えることにより、電圧比較器内のキャパシタC 1 を電圧依存性が小さい動作領域で動作させている。

【0 1 3 5】さらに、レベルシフト回路7 によってキャパシタC 2 の一方電極に付与される電圧を低く抑えることにより、電圧比較器内のキャパシタC 2 を電圧依存性が小さい動作領域で動作させている。

【0 1 3 6】その結果、実施の形態8 のチョッパ型電圧比較器は、高精度な電圧比較を行うことができる。したがって、実施の形態8 の電圧比較器を用いて、図1 0 に示すように、並列型A/Dコンバータを構成した場合、高精度なA/Dコンバータを得ることができる。

【0 1 3 7】なお、実施の形態8 ではキャパシタC 1 の容量値安定化手段として、実施の形態5 で用いたレベルシフト回路4 を設けたが、これに代えて、実施の形態5 の外部入力変換部(図1 0 参照)、実施の形態7 のレベルシフト回路5 及びバイアス電圧発生回路6 (図1 4)を設けてもよい。

【0 1 3 8】<<実施の形態9>>図1 8 はこの発明の実施の形態9 であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、入力電圧V I N 及び基準電圧V R E F はそれぞれスイッチS 1 1 及びS 1 2 を介してレベルシフト回路2 1 の入力部に接続され、レベルシフト回路2 1 の出力部がキャパシタC 1 1 の一方電極に接続される。キャパシタC 1 1 の他方電極は差動アンプA M P 1 の第1入力部に接続され、差動アンプA M P 1 の第1出力部はレベルシフト回路2 2 の入力部に接続されるとともに、スイッチS 1 3 を介して第1入力に帰還する。レベルシフト回路2 2 の出力部はキャパシタC 1 2 の一方電極に接続され、キャパシタC 1 2 の他方電極は差動アンプA M P 2 の第1入力部に接続され、

29

差動アンプAMP2の第1出力部は差動アンプAMP3の第1入力部に接続されるとともに、スイッチS14介して第1入力に帰還する。

【0139】一方、入力電圧VIN及び基準電圧VREFそれぞれと逆相の反転入力電圧バーVIN及び反転基準電圧バーVREFはそれぞれスイッチS21及びS22を介してレベルシフト回路23の入力部に接続され、レベルシフト回路23の出力部がキャパシタC21の一方電極に接続される。キャパシタC21の他方電極は差動アンプAMP1の第2入力部に接続され、差動アンプAMP1の第2出力部はレベルシフト回路24の入力部に接続されるとともに、スイッチS23を介して第2入力に帰還する。レベルシフト回路24の出力部はキャパシタC22の一方電極に接続され、キャパシタC22の他方電極は差動アンプAMP2の第2入力部に接続され、差動アンプAMP2の第2出力部は差動アンプAMP3の第2入力部に接続されるとともに、スイッチS24介して第2入力に帰還する。

【0140】差動アンプAMP3の出力（第1出力あるいは第2出力）はラッチ回路13に与えられ、ラッチ回路13から出力されるのラッチ出力LOUTが電圧比較器の出力となる。

【0141】ただし、キャパシタC11、C12、C21及びC22は図46で示すような構造のMOSキャパシタであり、キャパシタC11、C12、C21及びC22それぞれの一方電極がN型の半導体電極となる。

【0142】なお、N型の差動アンプAMP1及びAMP2は、図41で示す構成の場合、NMOSトランジスタQ13のゲートが第1入力部、ノードN11が第1出力部、NMOSトランジスタQ14のゲートが第2入力部、ノードN12が第2出力部となる。

【0143】また、スイッチS11はスイッチS12及びS22と逆相でオン／オフが駆動され、スイッチS11、スイッチS13、スイッチS14、スイッチS21、スイッチS23及びスイッチS24は同相でオン／オフが駆動される。

【0144】なお、レベルシフト回路21及び23はレベルシフト回路4と等価な回路であり、レベルシフト回路22及び24はレベルシフト回路7と等価な回路である。

【0145】このように、実施の形態9のチョッパ型電圧比較器は、レベルシフト回路21及び23によってキャパシタC11及びC21の一方電極に付与される電圧VC（基準電圧VREF及び変換入力電圧VIN）を低く抑えることにより、電圧比較器内のキャパシタC11及びC21を電圧依存性が小さい動作領域で動作させている。

【0146】さらに、レベルシフト回路22及び24によってキャパシタC2の一方電極に付与される電圧を低く抑えることにより、電圧比較器内のキャパシタC12

30

及びC22を電圧依存性が小さい動作領域で動作させている。

【0147】その結果、実施の形態9のチョッパ型電圧比較器は、高精度な電圧比較を行うことができる。したがって、実施の形態9の電圧比較器を用いて、図10に示すように、並列型A/Dコンバータを構成した場合、高精度なA/Dコンバータを得ることができる。

【0148】加えて、差動アンプを用いることにより、基準電圧VREFと入力電圧VINとの比較をより一層精度よく行うことができる。

【0149】<<実施の形態10>>図19はこの発明の実施の形態10であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、入力電圧VIN及び基準電圧VREFはそれぞれスイッチS11及びS12を介してキャパシタC11の一方電極に接続される。キャパシタC11の他方電極はレベルシフト回路31の入力部に接続され、レベルシフト回路31の出力部が差動アンプAMP1の第1入力部に接続され、差動アンプAMP1の第1出力部はレベルシフト回路22の入力部にのみ接続される。また、バイアス電圧発生回路8よりバイアス電圧VBがスイッチS31を介してキャパシタC11の他方電極に付与される。

【0150】一方、入力電圧VIN及び基準電圧VREFそれぞれと逆相の反転入力電圧バーVIN及び反転基準電圧バーVREFはそれぞれスイッチS21及びS22を介してキャパシタC21の一方電極に接続される。キャパシタC21の他方電極はレベルシフト回路32の入力部に接続され、レベルシフト回路32の出力部が差動アンプAMP1の第2入力部に接続され、差動アンプAMP1の第2出力部はレベルシフト回路24の入力部にのみ接続される。また、バイアス電圧発生回路8よりバイアス電圧VBがスイッチS32を介してキャパシタC21の他方電極に付与される。なお、図18と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【0151】また、スイッチS11はスイッチS12及びS22と逆相でオン／オフが駆動され、スイッチS11、スイッチS31、スイッチS14、スイッチS21、スイッチS32及びスイッチS24は同相でオン／オフが駆動される。

【0152】なお、レベルシフト回路31及び32はレベルシフト回路5と等価な回路であり、バイアス電圧発生回路8はバイアス電圧発生回路6と等価な回路である。

【0153】このように、実施の形態10のチョッパ型電圧比較器は、バイアス電圧発生回路8によってキャパシタC11及びC21の他方電極に付与されるバイアス電圧VBを、一方電極に付与される電圧VC（基準電圧VREF及び変換入力電圧VIN）より高く設定することにより、キャパシタC11及びC21を電圧依存性が

50

31

小さい動作領域で動作させている。また、レベルシフト回路31及び32によって差動アンプAMP1の第1及び第2入力部をバイアス電圧Vbにレベルシフトさせることによって、差動アンプAMP1の正常動作が可能となる。

【0154】さらに、レベルシフト回路22及び24によってキャパシタC12及びC22の一方電極に付与される電圧を低く抑えることにより、電圧比較器内のキャパシタC12及びC22を電圧依存性が小さい動作領域で動作させている。

【0155】その結果、実施の形態10のチョッパ型電圧比較器は、高精度な電圧比較を行うことができる。したがって、実施の形態10の電圧比較器を用いて、並列型A/Dコンバータを構成した場合、高精度なA/Dコンバータを得ることができる。

【0156】加えて、差動アンプを用いることにより、基準電圧VREFと入力電圧VINとの比較をより一層精度よく行うことができる。

【0157】<<バイアス電圧発生回路>>図20はバイアス電圧発生回路8の一構成例を示す回路図である。差動アンプAMP12の第1出力部はスイッチS15を介して第1入力に帰還され、差動アンプAMP12の第2出力部はスイッチS16を介して第2入力に帰還される。電圧比較器17の正入力に差動アンプAMP2の第2入力部が接続され、電圧比較器17の出力であるバイアス電圧VBはレベルシフト回路26を介して負入力に帰還する。また、電圧比較器18の出力と接地レベルとの間にキャパシタC36が設けられる。

【0158】なお、差動アンプAMP12は差動アンプAMP1と同一の入出力特性を有し、レベルシフト回路26はレベルシフト回路32及び33と同一のレベルシフト量 ΔV_{32} を有する。また、スイッチS15及びS16はスイッチS11及びS21と同相で駆動される。また、キャパシタC36はバイアス電圧VBを安定化させるとともに電圧比較器17の帰還系の発振防止を行っている。

【0159】このように構成することにより、AZ期間中にバイアス電圧発生回路8から発生されるバイアス電圧VBは正確に($Vb + \Delta V_{32}$)となる。したがって、差動アンプAMP1のバイアス電圧Vbをゲインの高い(ゲイン特性が良好な)点に正確に設定することができる。

【0160】図21はバイアス電圧発生回路8の他の構成例を示す回路図である。第1及び第2の入力部は共通に接続され、第1及び第2の出力部は共通に接続される。また、レベルシフト回路25及び26の入力部が共通に接続され、出力部が共通に接続される。なお、図20と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【0161】このように構成しても、図20で示した回

32

路と同様に、精度の高いバイアス電圧VBを発生することができる。

【0162】<<実施の形態11>>図22はこの発明の実施の形態11であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、変換入力電圧VCIN及び基準電圧VRiはそれぞれスイッチS11及びS12を介してキャパシタC11の一方電極に接続される。キャパシタC11の他方電極は差動アンプAMP1の第1入力部に接続され、差動アンプAMP1の第1

10出力部はレベルシフト回路22の入力部に接続されるとともにスイッチS13を介して第1入力に帰還する。

【0163】一方、変換入力電圧VCIN及び基準電圧VRiそれぞれと逆相の反転入力電圧バーVIN及び反転基準電圧バーVRiはそれぞれスイッチS21及びS22を介してキャパシタC21の一方電極に接続される。キャパシタC21の他方電極は差動アンプAMP1の第2入力部に接続され、差動アンプAMP1の第2出力部はレベルシフト回路24の入力部に接続されるとともにスイッチS23を介して第2入力に帰還する。なお、基準電圧VRi及び変換入力電圧VCINは図10で示した外部入力変換部と等価な変換回路により付与される電圧である。また、図18と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【0164】このように、実施の形態11のチョッパ型電圧比較器は、キャパシタC11及びC21の一方電極に付与される電圧VC(基準電圧VRi及び変換入力電圧VCIN)をVDD/2以下に抑えることにより、比較的電圧依存性が小さい動作領域でキャパシタC1が動作させることができる。

【0165】さらに、レベルシフト回路22及び24によってキャパシタC12及びC22の一方電極に付与される電圧を低く抑えることにより、電圧比較器内のキャパシタC12及びC22を電圧依存性が小さい動作領域で動作させている。

【0166】その結果、実施の形態11のチョッパ型電圧比較器は、高精度な電圧比較を行うことができる。したがって、実施の形態11の電圧比較器を用いて、図10に示すように、並列型A/Dコンバータを構成した場合、高精度なA/Dコンバータを得ることができる。

【0167】加えて、差動アンプを用いることにより、基準電圧VRiと変換入力電圧VCINとの比較をより一層精度よく行うことができる。

【0168】<<実施の形態12>>図23はこの発明の実施の形態12であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、入力電圧VIN及び基準電圧VREFはそれぞれスイッチS11及びS12を介してキャパシタC11の一方電極に接続される。キャパシタC11の他方電極はN型の差動アンプAMP21の第1入力部に接続され、差動アンプAMP21の第1出力部はキャパシタC13の一方電極に接続さ

れるとともに、スイッチS 1 3を介して第1入力に帰還する。キャパシタC 1 3の他方電極はP型の差動アンプAMP 2 2の第1入力部に接続され、差動アンプAMP 2 2の第1出力部は差動アンプAMP 3の第1入力部に接続されるとともに、スイッチS 1 4介して第1入力に帰還する。

【0169】一方、入力電圧V 1 N及び基準電圧V R E Fそれぞれと逆相の反転入力電圧バーV 1 N及び反転基準電圧バーV R E FはそれぞれスイッチS 2 1及びS 2 2を介してキャパシタC 2 1の一方電極に接続される。

キャパシタC 2 1の他方電極は差動アンプAMP 2 1の第2入力部に接続され、差動アンプAMP 2 1の第2出力部はキャパシタC 2 3の一方電極に接続されるとともに、スイッチS 2 3を介して第2入力に帰還する。キャパシタC 2 3の他方電極は差動アンプAMP 2 2の第2入力部に接続され、差動アンプAMP 2 2の第2出力部は差動アンプAMP 3の第2入力部に接続されるとともに、スイッチS 2 4介して第2入力に帰還する。なお、図18と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【0170】ただし、キャパシタC 1 1、C 1 3、C 2 1及びC 2 3は図46で示すような構造のMOSキャパシタであり、キャパシタC 1 1、C 2 1の一方電極が半導体電極となり、キャパシタC 1 3、C 2 3他方電極が半導体電極となる。

【0171】N型の差動アンプAMP 2 1は図41で示すように、差動対をなすNMOSトランジスタQ 1 3及びQ 1 4がN型の差動アンプであり、NMOSトランジスタQ 1 3のゲートが第1入力部、ノードN 1 1が第1出力部、NMOSトランジスタQ 1 4のゲートが第2入力部、ノードN 1 2が第2出力部となる。

【0172】P型の差動アンプAMP 2 2は図42で示すように、差動対をなすPMOSトランジスタQ 2 3及びQ 1 2がN型の差動アンプであり、PMOSトランジスタQ 2 3のゲートが第1入力部、ノードN 2 1が第1出力部、PMOSトランジスタQ 2 4のゲートが第2入力部、ノードN 2 2が第2出力部となる。

【0173】差動アンプAMP 2 1は、NMOS差動対で差動アンプを構成するため、第1及び第2の入出力間を短絡したときのAZレベルはV DD/2より高いレベルとなる。差動アンプAMP 2 2は、PMOS差動対で差動アンプを構成するため、第1及び第2の入出力間を短絡したときのAZレベルはV DD/2より低いレベルとなる。

【0174】このように、実施の形態12のチョッパ型電圧比較器は、比較的高いAZレベルのN型の差動アンプAMP 2 1の入力部をMOSキャパシタC 1 1、C 2 1の他方電極（金属電極）に接続することにより、キャパシタC 1 1及びC 2 1を電圧依存性が小さい動作領域で動作させている。

【0175】さらに、比較的低いAZレベルのP型の差動アンプAMP 2 2の入力部をMOSキャパシタC 1 3、C 2 3の他方電極（半導体電極）に接続することにより、キャパシタC 1 3及びC 2 3を電圧依存性が小さい動作領域で動作させている。

【0176】その結果、実施の形態12のチョッパ型電圧比較器は、高精度な電圧比較を行うことができる。したがって、実施の形態12の電圧比較器を用いて並列型A/Dコンバータを構成した場合、高精度なA/Dコンバータを得ることができる。

【0177】加えて、差動アンプを用いることにより、基準電圧V R E Fと入力電圧V 1 Nとの比較をより一層精度よく行うことができる。

【0178】<インバータアンプへの応用>なお、図24に示すように、差動アンプAMP 2 1 1の代わりにAZレベルがV DD/2より高いインバータIN V 4 1を用い、差動アンプAMP 2 2の代わりにAZレベルがV DD/2より低いインバータIN V 4 2を用いてよい。なお、図2と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【0179】AZレベルがV DD/2より高いインバータIN V 4 1は、例えばCMOSインバータを構成するPMOSトランジスタがNMOSトランジスタに比べてチャネル長が小さくチャネル幅が大きくすることで実現でき、AZレベルがV DD/2より低いインバータIN V 4 1は、例えば、CMOSインバータを構成するNMOSトランジスタがPMOSトランジスタに比べてチャネル長が小さくチャネル幅が大きくすることで実現できる。

【0180】<<実施の形態13>>図25はこの発明の実施の形態13であるチョッパ型電圧比較器の構成を示す回路図である。同図に示すように、変換入力電圧V C 1 N及び基準電圧V R iはそれぞれスイッチS 1 1及びS 1 2を介してキャパシタC 1 1の一方電極に接続される。キャパシタC 1 1の他方電極はN型の差動アンプAMP 3 1の第1入力部に接続され、差動アンプAMP 3 1の外部第1出力部はキャパシタC 1 2の一方電極に接続され、内部外部出力はスイッチS 1 3を介して第1入力に帰還する。

【0181】一方、変換入力電圧V C 1 N及び基準電圧V R iそれぞれと逆相の反転入力電圧バーV 1 CN及び反転基準電圧バーV R iはそれぞれスイッチS 2 1及びS 2 2を介してキャパシタC 2 1の一方電極に接続される。キャパシタC 2 1の他方電極は差動アンプAMP 3 1の第2入力部に接続され、差動アンプAMP 3 1の外部第2出力部はキャパシタC 2 2の一方電極に接続され、内部第2出力部はスイッチS 2 3を介して第2入力に帰還する。なお、基準電圧V R i及び変換入力電圧V C 1 Nは図10で示した外部入力変換部と等価な変換回路により付与される電圧である。また、図18と同様の

35

部分については同一の参照符号を付しその説明を適宜省略する。

【0182】図26はフォールデッドカスコード型の差動アンプAMP31の内部構成を示す回路図である。同図に示すように、ソースが共に電源電圧VDDを受け、ゲートが共に定電圧VPB1を受けるPMOSトランジスタQ11及びQ12はそれぞれノードN11及びN12を介してNMOSトランジスタQ13及びQ14のドレインに接続される。NMOSトランジスタQ13とNMOSトランジスタQ14とは差動対となり、NMOSトランジスタQ13のゲートに第1電圧V1を受け、NMOSトランジスタQ14のゲートに第2電圧V2を受ける。NMOSトランジスタQ13及びQ14のソースは、ゲートに定電圧VBBを受けるNMOSトランジスタQ15を介して共通に接地される。そして、NMOSトランジスタQ13のドレイン(ノードN11)、ゲート間がスイッチS13を介して接続され、NMOSトランジスタQ14のドレイン(ノードN12)、ゲート間がスイッチS23を介して接続される。

【0183】また、PMOSトランジスタQ11及びQ12のドレインはそれぞれPMOSトランジスタQ16及びQ17のソースにも接続され、PMOSトランジスタQ16及びQ17のゲートは共通に定電圧VPB2を受け、ソースはノードN41及びN42を介してNMOSトランジスタQ18及びQ19のドレインに接続される。NMOSトランジスタQ18及びQ19のゲートは共通に定電圧VNBを受け、ソースは共通に接地される。

【0184】このような構成の差動アンプAMP31は、NMOSトランジスタQ13のゲートが第1入力部、ノードN11が内部第1出力部、NMOSトランジスタQ14のゲートが第2入力部、ノードN12が内部第2出力部、ノードN41が外部第1出力部、ノードN42が外部第2出力部となる。

【0185】したがって、ノードN41及びN42より得られる外部出力信号VO1及びVO2は、ノードN11及びN12より得られる内部出力信号V11及びV12がPMOSトランジスタQ16及びQ17を介して得られるため、下方にレベルシフトされた信号となる。

【0186】すなわち、差動アンプAMP31は、トランジスタQ11～Q15からなる差動増幅部と、トランジスタQ16～Q19からなるレベルシフト部とから構成されるともいえる。

【0187】このように、実施の形態13のチョッパ型電圧比較器は、キャパシタC11及びC21の一方電極(半導体電極)に付与される電圧VC(基準電圧VRi及び変換入力電圧VCIN)をVDD/2以下に抑えることにより、比較的電圧依存性が小さい動作領域でキャパシタC1が動作させることができる。

【0188】さらに、差動アンプAMP31の内部のレ

10

【0190】加えて、差動アンプを用いることにより、基準電圧VRiと変換入力電圧VCINとの比較をより一層精度よく行うことができる。

【0191】図27は差動アンプAMP31の差動対がP型の差動アンプであった場合の内部構成を示す回路図である。同図に示すように、ソースが共に接地され、ゲートが共に定電圧VNB1を受けるNMOSトランジスタQ21及びQ22はそれぞれノードN21及びN22を介してPMOSトランジスタQ23及びQ24のドレインに接続される。PMOSトランジスタQ23とPMOSトランジスタQ24とは差動対となり、PMOSトランジスタQ23のゲートに第1電圧V1を受け、PMOSトランジスタQ24のゲートに第2電圧V2を受けける。PMOSトランジスタQ23及びQ24のソースは、ゲートに定電圧VPBを受けるPMOSトランジスタQ25を介して共通に電源VDDに接続される。そして、PMOSトランジスタQ23のドレイン(ノードN21)、ゲート間がスイッチS13を介して接続され、PMOSトランジスタQ24のドレイン(ノードN22)、ゲート間がスイッチS23を介して接続される。

【0192】また、NMOSトランジスタQ21及びQ22のドレインはそれぞれNMOSトランジスタQ26及びQ27のソースにも接続され、NMOSトランジスタQ26及びQ27のゲートは共通に定電圧VNB2を受け、ソースはノードN51及びN52を介してPMOSトランジスタQ28及びQ29のドレインに接続される。PMOSトランジスタQ28及びQ29のゲートは共通に定電圧VPBを受け、ソースは共通に電源VDDに接続される。

【0193】このような構成の場合の差動アンプAMP31は、PMOSトランジスタQ23のゲートが第1入力部、ノードN21が内部第1出力部、PMOSトランジスタQ24のゲートが第2入力部、ノードN22が内部第2出力部、ノードN51が外部第1出力部、ノードN52が外部第2出力部となる。

【0194】したがって、ノードN51及びN52より得られる外部出力信号VO1及びVO2は、ノードN21及びN22より得られる内部出力信号V11及びV12がNMOSトランジスタQ26及びQ27を介して得られるため、上方にレベルシフトされた信号となる。

【0195】すなわち、図27で示した構成の差動アン

36

ペルシフト部によってキャパシタC12及びC22の一方電極(半導体電極)に付与される電圧を低く抑えることにより、電圧比較器内のキャパシタC12及びC22を電圧依存性が小さい動作領域で動作させている。

【0189】その結果、実施の形態13のチョッパ型電圧比較器は、高精度な電圧比較を行うことができる。したがって、実施の形態13の電圧比較器を用いて、図10に示すように、並列型A/Dコンバータを構成した場合、高精度なA/Dコンバータを得ることができる。

20

【0190】加えて、差動アンプを用いることにより、基準電圧VRiと変換入力電圧VCINとの比較をより一層精度よく行うことができる。

【0191】図27は差動アンプAMP31の差動対がP型の差動アンプであった場合の内部構成を示す回路図である。同図に示すように、ソースが共に接地され、ゲートが共に定電圧VNB1を受けるNMOSトランジスタQ21及びQ22はそれぞれノードN21及びN22を介してPMOSトランジスタQ23及びQ24のドレインに接続される。PMOSトランジスタQ23とPMOSトランジスタQ24とは差動対となり、PMOSトランジスタQ23のゲートに第1電圧V1を受け、PMOSトランジスタQ24のゲートに第2電圧V2を受けける。PMOSトランジスタQ23及びQ24のソースは、ゲートに定電圧VPBを受けるPMOSトランジスタQ25を介して共通に電源VDDに接続される。そして、PMOSトランジスタQ23のドレイン(ノードN21)、ゲート間がスイッチS13を介して接続され、PMOSトランジスタQ24のドレイン(ノードN22)、ゲート間がスイッチS23を介して接続される。

【0192】また、NMOSトランジスタQ21及びQ22のドレインはそれぞれNMOSトランジスタQ26及びQ27のソースにも接続され、NMOSトランジスタQ26及びQ27のゲートは共通に定電圧VNB2を受け、ソースはノードN51及びN52を介してPMOSトランジスタQ28及びQ29のドレインに接続される。PMOSトランジスタQ28及びQ29のゲートは共通に定電圧VPBを受け、ソースは共通に電源VDDに接続される。

【0193】このような構成の場合の差動アンプAMP31は、PMOSトランジスタQ23のゲートが第1入力部、ノードN21が内部第1出力部、PMOSトランジスタQ24のゲートが第2入力部、ノードN22が内部第2出力部、ノードN51が外部第1出力部、ノードN52が外部第2出力部となる。

【0194】したがって、ノードN51及びN52より得られる外部出力信号VO1及びVO2は、ノードN21及びN22より得られる内部出力信号V11及びV12がNMOSトランジスタQ26及びQ27を介して得られるため、上方にレベルシフトされた信号となる。

【0195】すなわち、図27で示した構成の差動アン

AMP 31は、トランジスタQ 21～Q 25からなる差動増幅部と、トランジスタQ 26～Q 29からなるレベルシフト部とから構成されるともいえる。

【0196】このようなP型の差動アンプAMP 31はキャパシタC 12及びC 22の一方電極（半導体電極）がP型の場合に用いることになる。

【0197】<<実施の形態14>>図28はこの発明の実施の形態14であるチョッパ型電圧比較器構成を示す回路図である。なお、図2と同様の部分については同一の参照符号を付しその説明を適宜省略する。同図に示すように、ラッチ回路11は直列に接続されたインバータINV 4及びINV 5並びにスイッチSL 1及びSL 2から構成され、インバータINV 3の出力部とインバータINV 4の入力部との間にスイッチSL 1が設けられ、インバータINV 5の出力部とインバータINV 4の入力部とがスイッチSL 2を介して接続される。なお、スイッチSL 1はスイッチS 2と同相で駆動され、スイッチSL 2はスイッチS 1、S 3及びS 4と同相で駆動される。

【0198】一方、インバータINV 2の入力部からインバータINV 3の出力部にかけて、インバータINV 21及びインバータINV 31が並列に接続される。すなわち、インバータINV 21の入力部はインバータINV 2の入力部に接続され、インバータINV 31の出力部はインバータINV 3の出力部に接続される。また、インバータINV 2の出力部はインバータINV 2の出力部にも接続される。

【0199】ただし、インバータINV 2～INV 5、インバータINV 21、INV 31それぞれの入出力特性は同一に設定される。

【0200】このように、実施の形態13のチョッパ型電圧比較器は、インバータINV 21及びインバータINV 31を設け、ラッチ回路11への出力電圧VOUTの駆動能力を大きくすることにより、ラッチ回路11の入力部に付随する寄生容量の影響を微小にして、前回の保持データが次に取り込まれる入力データの“H”あるいは“L”に向かう電圧変化を妨げないようし、誤動作を確実に防止している。

【0201】また、インバータINV 2～INV 5、インバータINV 21、INV 31それぞれの入出力特性は同一に設定されるため、インバータINV 3及びインバータINV 31とラッチ回路11内のインバータINV 4の入出力特性のミスマッチはなく、インバータINV 21及びINV 31を追加することにより生じる悪影響はない。

【0202】図29はチョッパ型電圧比較器の動作を示すタイミング図である。同図に示すように、ラッチ回路11からのキックバックの影響は少なく、正確に動作していることがわかる。なお、破線は従来構成のキックバックの影響が大きい場合を示している。

【0203】その結果、実施の形態14のチョッパ型電圧比較器は、高精度な電圧比較を行うことができる。したがって、実施の形態14の電圧比較器を用いて並列型A/Dコンバータを構成した場合、高精度なA/Dコンバータを得ることができる。

【0204】

【発明の効果】以上説明したように、この発明における請求項1記載の電圧比較器のバイアス電圧補助手段は、第1の期間に、第1のバイアス電圧と同レベルの補助電

10 壓を第1の反転増幅器の入力部に付与するため、第1の期間中に入力信号（第1あるいは第2の電圧）の周波数が高くなても、第1の反転増幅器の入力部は第1のバイアス電圧からの変動は少なく、入力側からみたオフセット電圧を十分小さくすることができ、精度の高い比較動作を行うことができる。

【0205】請求項2記載の電圧比較器におけるバイアス電圧補助手段は、第1の反転増幅器に並列に接続され、第1の反転増幅器と同一の入出力特性を有する補助用反転増幅器を含み、補助用反転増幅器は第1の期間に20 入出力間が短絡され、その入力部が上記補助電圧に設定される。

【0206】したがって、第1の期間において、第1の反転増幅器の入出力短絡に加えて、補助用反転増幅器の入出力短絡によって、第1の反転増幅器の入力部の電圧を第1のバイアス電圧（補助電圧）に設定することができる。

【0207】その結果、第1の反転増幅器と補助用反転増幅器とを合わせた駆動能力で第1の反転増幅器の入力部を第1のバイアス電圧に設定するため、第1の期間中に30 入力信号の周波数が高くなても、入力側からみたオフセット電圧を十分小さくすることができる。

【0208】請求項3記載の電圧比較器において、第1の反転増幅器、補助用反転増幅器及び出力用反転増幅器それぞれの入出力特性は同一であるため、第1の反転増幅器（及び補助用反転増幅器）の出力部と出力反転増幅器の入力部とを直接接続しても、両者の入出力特性のズレによるオフセット電圧は生じない。

【0209】請求項4記載の電圧比較器において、第1の反転増幅器（及び補助用反転増幅器）の出力部が第2のキャパシタを介して第2の反転増幅器の入力部に接続されているため、第1の反転増幅器と第2の反転増幅器との間に入出力特性のズレが存在しても、第1の反転増幅器にオフセット電圧はほとんど生じない。

【0210】請求項5記載の電圧比較器のバイアス電圧補助手段は第1の期間に第1のバイアス電圧を第1の反転増幅器の入力部に供給するバイアス電圧供給手段を含むため、第1の反転増幅器の入出力間を短絡することなく第1の反転増幅器の入力部を第1のバイアス電圧に設定することができるため、第1の期間中に入力信号の周波数が高くなても、入力側からみたオフセット電圧を50

十分小さくすることができる。

【0211】請求項6記載の第1の反転増幅器は、第1及び第2の差動用入力部より得られる信号の電位差を増幅して第1及び第2の差動用出力部から第1及び第2の差動用増幅信号をそれぞれ出力するため、第1及び第2の差動用キャパシタを介して第1及び第2の差動入力部に逆相の入力信号を与えることにより、第1の電圧と第2の電圧との比較を精度よく行うことができる。

【0212】この発明における請求項7記載の電圧比較器の第1のキャパシタ電圧制御手段は、第1のキャパシタの第1あるいは第2の電極側に設けられ、容量値の電圧依存性が小さい動作領域で第1のキャパシタが動作するように、第1のキャパシタの第1あるいは第2の電極側を電圧制御するため、第1及び第2の電極の電圧状態によっては容量値が変化する可能性の高い第1のキャパシタを用いても、精度の高い比較動作を行うことができる。

【0213】請求項8記載の電圧比較器の第1のキャパシタ電圧制御手段は、第1及び第2の電圧を変換して第1及び第2の関連電圧を第1のキャパシタの第1の電極にそれぞれ付与する第1のレベル変換手段を含んでい

る。

【0214】そして、第1及び第2の関連電圧は第1のキャパシタの第2の電極の電圧が第1のバイアス電圧のとき、第1のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであるため、第1及び第2の電極の電圧状態によっては容量値が変化する可能性の高い第1のキャパシタを用いても、精度の高い比較動作を行うことができる。

【0215】請求項9記載の電圧比較器において、第1のキャパシタ電圧制御手段は、第1の期間に、キャパシタ用バイアス電圧を第1のキャパシタの第2の電極に付与するキャパシタ用バイアス電圧供給手段を備え、キャパシタ用バイアス電圧は、第1のキャパシタの第1の電極が第1あるいは第2の関連電圧のとき、第1のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであるため、第1及び第2の電極の電圧状態によっては容量値が変化する可能性の高い第1のキャパシタを用いても、精度の高い比較動作を行うことができる。

【0216】さらに、第1のキャパシタ電圧制御手段は、第1のキャパシタの第2の電極より得られる電圧をレベル変換して第1の反転増幅器の入力部に付与し、第1の期間にキャパシタ用バイアス電圧を第1のバイアス電圧にレベル変換する第1のレベル変換手段を含むため、第1の反転増幅器の動作に悪影響を与えることはない。

【0217】請求項10記載の電圧比較器において、キャパシタ用バイアス電圧供給手段は、固定の第1の比較電圧を発生する第1の比較電圧発生手段と、キャパシタ用バイアス電圧をレベル変換して第2の比較電圧を付与

する第2のレベル変換手段と、第1及び第2の比較電圧を比較して、その比較結果に基づきキャパシタ用電圧を出力する電圧比較手段とを含み、第1の比較電圧は第1のバイアス電圧に等しく、第2のレベル変換手段の変換特性は第1のレベル変換手段の変換特性と同じである。

【0218】したがって、キャパシタ用バイアス電圧供給手段は、第1のレベル変換手段が第1の期間に正確に第1のバイアス電圧にレベル変換することが可能なキャパシタ用バイアス電圧を供給することができる。

【0219】請求項11記載の第1の反転増幅器は、第1及び第2の差動用入力部より得られる信号の電位差を増幅して第1及び第2の差動用出力部から第1及び第2の差動用増幅信号をそれぞれ出力するため、第1及び第2の差動用キャパシタを介して第1及び第2の差動入力部に逆相の入力信号を与えることにより、第1の関連電圧と第2の関連電圧との比較を精度よく行うことができる。

【0220】請求項12記載の電圧比較器の第1のキャパシタ電圧制御手段は、第2のキャパシタの第1あるいは第2の電極側に設けられ、容量値の電圧依存性が小さい動作領域で第2のキャパシタが動作するように、第2のキャパシタの第1あるいは第2の電極側を電圧制御するため、第1のキャパシタに加え、第1及び第2の電極の電圧状態によっては容量値が変化する可能性の高い第2のキャパシタを用いても、精度の高い比較動作を行うことができる。

【0221】請求項13記載の電圧比較器の第2のキャパシタ電圧制御手段は、第1の増幅信号をレベル変換して、第1のレベル変換電圧を第2のキャパシタの第1の電極に付与する第1のレベル変換手段を含んでいる。

【0222】そして、第1のレベル変換電圧は第2のキャパシタの第2の電極の電圧は第2のバイアス電圧のとき、第2のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであるため、第1及び第2の電極の電圧状態によっては容量値が変化する可能性の高い第2のキャパシタを用いても、精度の高い比較動作を行うことができる。

【0223】請求項14記載の電圧比較器において、第1の反転増幅器の第1のバイアス電圧は、第1のキャパシタの第1の電極が第1あるいは第2の関連電圧のとき、第1のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルであり、第2の反転増幅器の第2のバイアス電圧は、第2のキャパシタの第1の電極が第2のバイアス電圧のとき第2のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルである。

【0224】したがって、各々が第1及び第2の電極の電圧状態によっては容量値が変化する可能性の高い第1及び第2のキャパシタを対し、それに適合した入出力特性を有する第1及び第2の反転増幅器を用いることにより、精度の高い比較動作を行うことができる。

【0225】請求項15記載の電圧比較器において、第1の反転増幅器は、内部増幅信号をレベル変換して第1の増幅信号を出力するレベル変換部を含み、第1の増幅信号のレベルは第2のキャパシタの第2の電極が第2のバイアス電圧のとき第2のキャパシタの容量値の電圧依存性が小さい動作領域となるレベルである。

【0226】したがって、各第1及び第2の電極の電圧状態によっては容量値が変化する可能性の高い第2のキャパシタを対し、それに適合した第1の増幅信号を出力する第1の反転増幅器を用いることにより、精度の高い比較動作を行うことができる。

【0227】この発明における請求項16記載の電圧比較器のラッチ手段に増幅出力信号を出力する出力用反転増幅器の駆動能力は、ラッチ手段の入力部に付随する容量の影響を受けないレベルに設定されるため、ラッチ手段にラッチされた前回の保持データが次に取り込まれる入力データの電圧変化を妨げることなく誤動作を確実に防止できる。

【0228】請求項17記載の電圧比較器において、出力用反転増幅器は入出力部間に並列に接続される第5及び第6の部分反転増幅器を含むため、比較的大きな駆動能力で増幅出力信号を出力することができる。

【0229】また、第2の反転増幅器、出力用反転増幅器及びラッチ手段内の第1～第6の部分反転増幅器の入出力特性は同一に設定されるため、第2の反転増幅器及び出力用反転増幅器をそれぞれ2つの部分反転増幅器の並列接続に構成しても誤動作は生じない。

【0230】請求項18記載のA/Dコンバータは、請求項1、請求項7あるいは請求項16記載の電圧比較器を用いて構成されるため、複数の電圧比較器はそれぞれ高精度に入力電圧と基準電圧との電圧比較を行うことができ、その結果、高精度なA/Dコンバータを得ることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1であるチョッパ型電圧比較器の第1の態様の構成を示す回路図である。

【図2】この発明の実施の形態1であるチョッパ型電圧比較器の第2の態様の構成を示す回路図である。

【図3】この発明の実施の形態2であるチョッパ型電圧比較器の構成を示す回路図である。

【図4】図3のバイアス電圧発生回路の構成を示す回路図である。

【図5】図3のバイアス電圧発生回路の構成を示す回路図である。

【図6】実施の形態2の動作を示すタイミング図である。

【図7】この発明の実施の形態3であるチョッパ型電圧比較器の構成を示す回路図である。

【図8】この発明の実施の形態4であるチョッパ型電圧比較器の構成を示す回路図である。

【図9】図8のバイアス電圧発生回路の構成を示す回路図である。

【図10】この発明の実施の形態5であるチョッパ型電圧比較器の外部入力変換部の構成を示す回路図である。

【図11】図10のチョッパ型電圧比較器の内部構成を示す回路図である。

【図12】実施の形態5の効果を示す説明図である。

【図13】この発明の実施の形態6であるチョッパ型電圧比較器の構成を示す回路図である。

【図14】この発明の実施の形態7であるチョッパ型電圧比較器の構成を示す回路図である。

【図15】図14のバイアス電圧発生回路の構成を示す回路図である。

【図16】図14のバイアス電圧発生回路の構成を示す回路図である。

【図17】この発明の実施の形態8であるチョッパ型電圧比較器の構成を示す回路図である。

【図18】この発明の実施の形態9であるチョッパ型電圧比較器の構成を示す回路図である。

【図19】この発明の実施の形態10であるチョッパ型電圧比較器の構成を示す回路図である。

【図20】図19のバイアス電圧発生回路の構成を示す回路図である。

【図21】図19のバイアス電圧発生回路の構成を示す回路図である。

【図22】この発明の実施の形態11であるチョッパ型電圧比較器の構成を示す回路図である。

【図23】この発明の実施の形態12であるチョッパ型電圧比較器の構成を示す回路図である。

【図24】この発明の実施の形態12であるチョッパ型電圧比較器の他の構成を示す回路図である。

【図25】この発明の実施の形態13であるチョッパ型電圧比較器の構成を示す回路図である。

【図26】図25の初段の差動アンプの内部構成を示す回路図である。

【図27】図25の初段の差動アンプの他の内部構成を示す回路図である。

【図28】この発明の実施の形態14であるチョッパ型電圧比較器の構成を示す回路図である。

【図29】実施の形態14の動作を示すタイミング図である。

【図30】従来のチョッパ型電圧比較器の構成を示す回路図である。

【図31】図30のチョッパ型電圧比較器の内部詳細を示す回路図である。

【図32】オートゼロ期間におけるチョッパ型電圧比較器の状態を示す回路図である。

【図33】比較期間におけるチョッパ型電圧比較器の状態を示す回路図である。

【図 3 4】 オートゼロ期間におけるチョッパ型電圧比較器の動作を示すグラフである。

【図 3 5】 比較期間におけるチョッパ型電圧比較器の動作を示すグラフである。

【図 3 6】 従来のチョッパ型電圧比較器の全体動作を示すタイミング図である。

【図 3 7】 連続するインバータアンプ間に出入力特性の相違がある場合の問題点を示したグラフである。

【図 3 8】 連続するインバータアンプ間に出入力特性の相違がある場合の問題点を示したタイミング図である。

【図 3 9】 従来の並列型A/Dコンバータの構成を示す回路図である。

【図 4 0】 差動アンプを用いた従来のチョッパ型電圧比較器の構成を示す回路図である。

【図 4 1】 差動対がN型の差動アンプの内部構成を示す回路図である。

【図 4 2】 差動対がP型の差動アンプの内部構成を示す回路図である。

【図 4 3】 入力信号が高周波信号である場合の問題点

を示す説明図である。

【図 4 4】 図43で示した問題点の場合におけるチョッパ型電圧比較器の動作を示すタイミング図である。

【図 4 5】 両電極が金属電極の場合のキャパシタの断面構造を示す説明図である。

【図 4 6】 一方電極が半導体電極の場合のMOSキャパシタの断面構造を示す説明図である。

【図 4 7】 MOSキャパシタの容量値特性を示すグラフである。

10 【図 4 8】 ラッチ回路11からのキックバックによる問題点を示す説明図である。

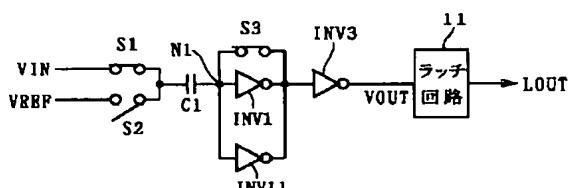
【図 4 9】 図48で示した問題点の場合におけるチョッパ型電圧比較器の動作を示すタイミング図である。

【符号の説明】

1, 2, 6 バイアス電圧発生回路、3 入力レベル設定回路、4, 5, 7, 21~26, 31, 32 レベルシフト回路、11, 13 ラッチ回路、AMP1~AMP3, AMP11, AMP12, AMP21, AMP22 差動アンプ、INV1~INV5, INV11 インバータ(アンプ)。

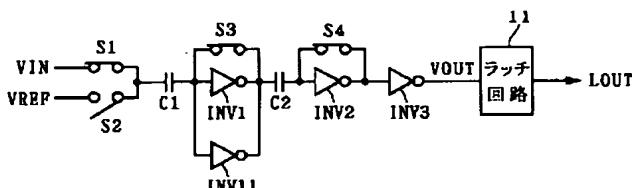
20

【図 1】



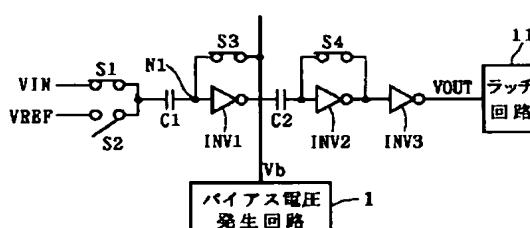
INV1, INV3, INV11 : インバータ(アンプ)

【図 2】

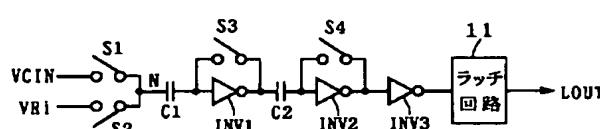


INV1~INV3, INV11 : インバータ(アンプ)

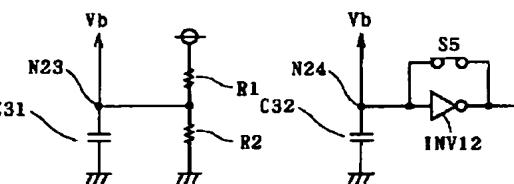
【図 3】



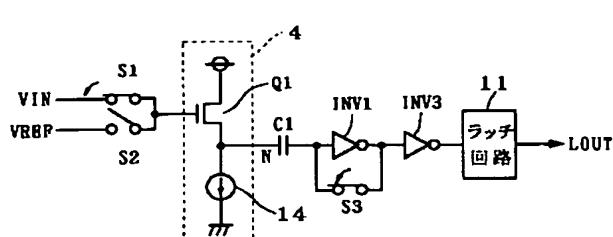
【図 11】



【図 4】

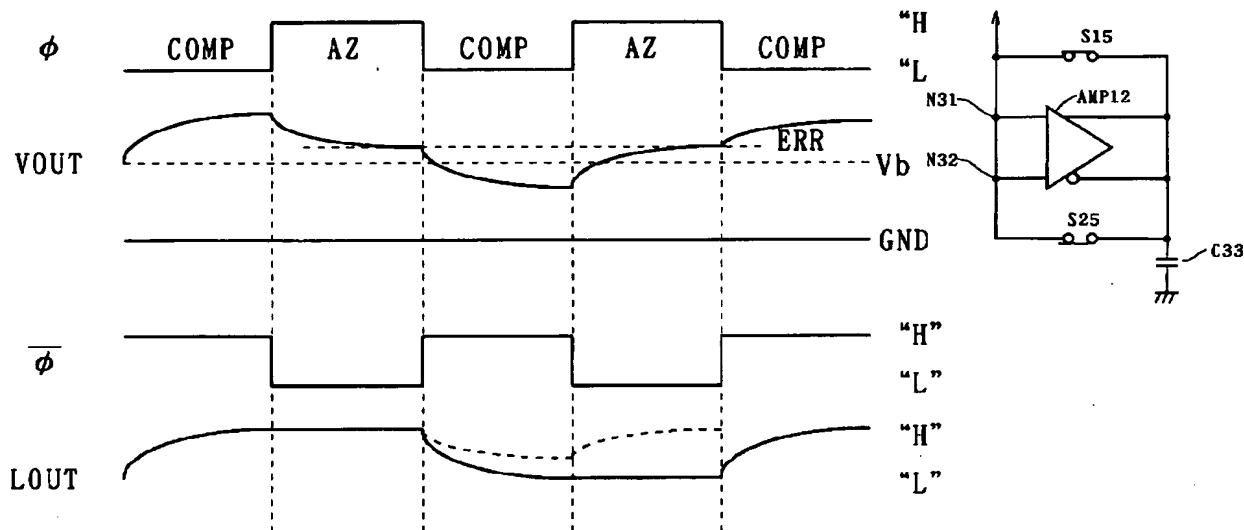


【図 13】

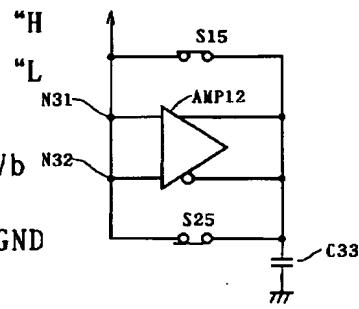


4 : レベルシフト回路

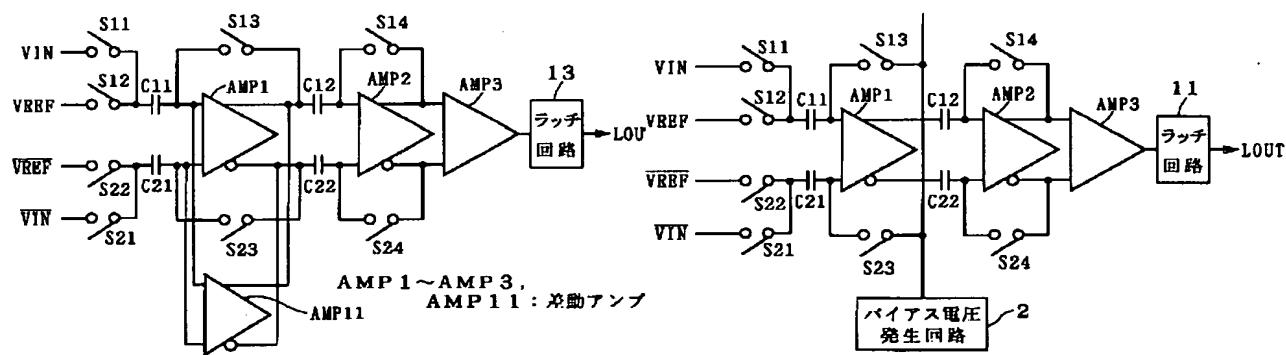
【図 6】



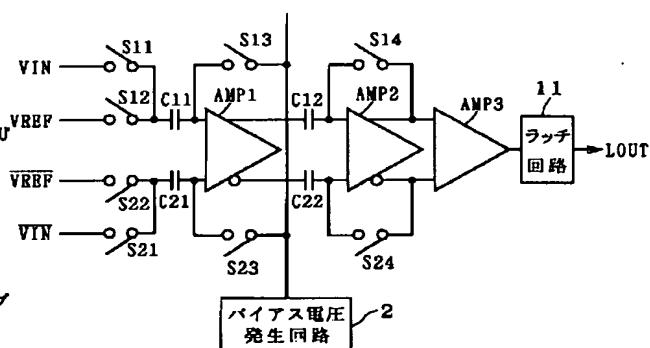
【図 9】



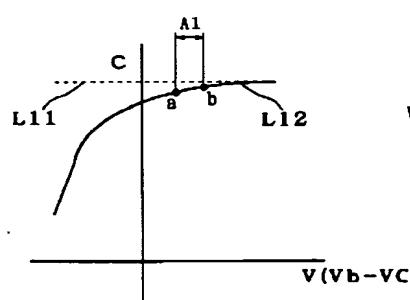
【図 7】



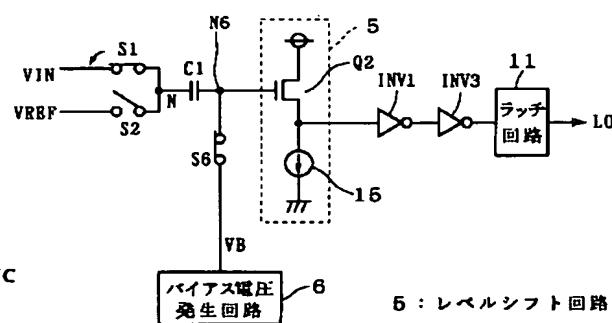
【図 8】



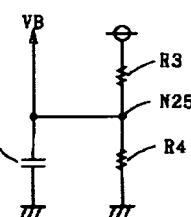
【図 12】



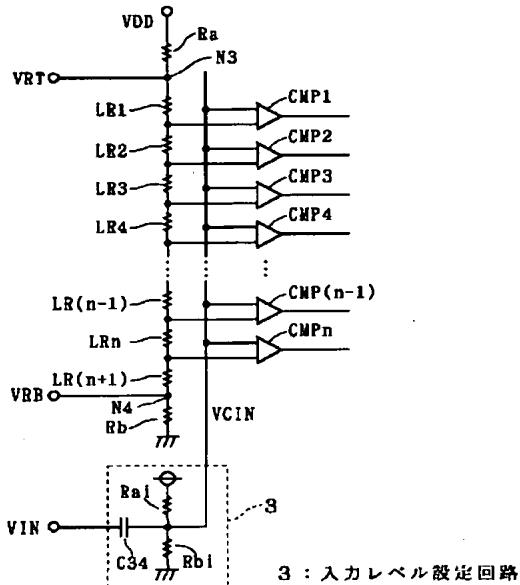
【図 14】



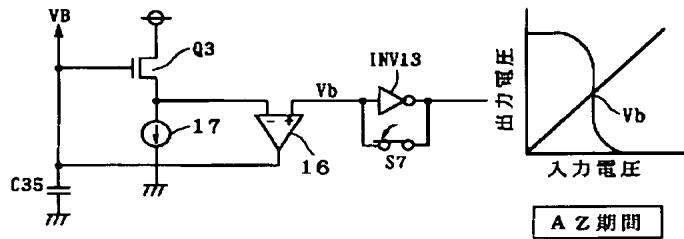
【図 16】



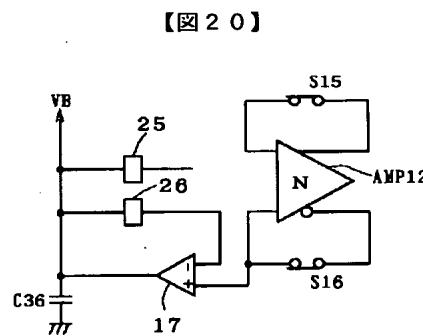
【図 1 0】



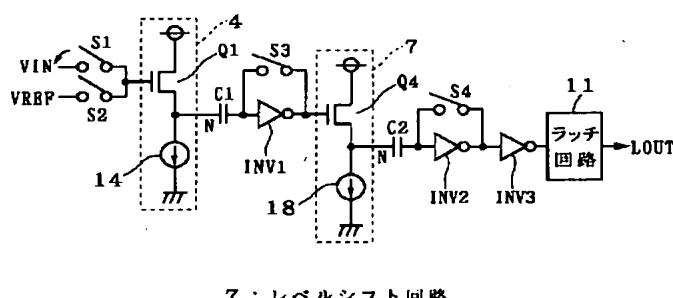
【図 1 5】



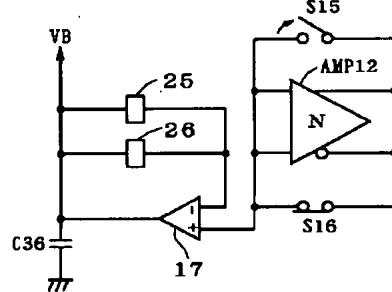
【図 3 4】



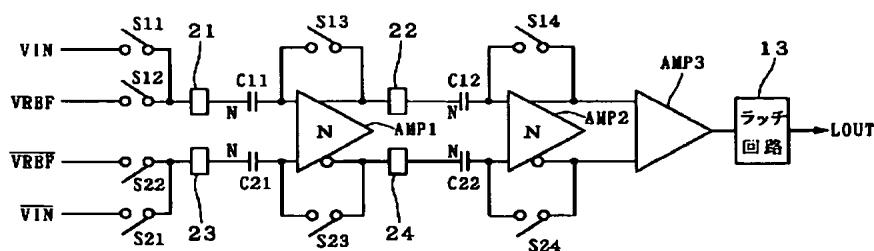
【図 1 7】



【図 2 1】

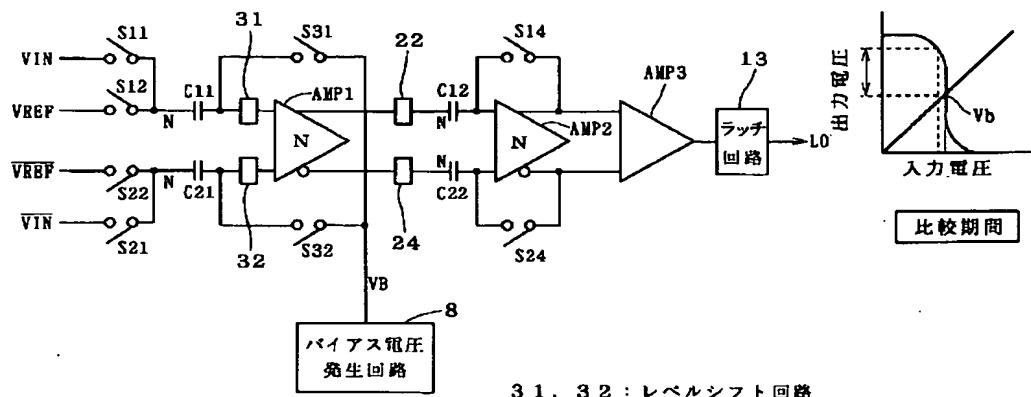


【図 1 8】

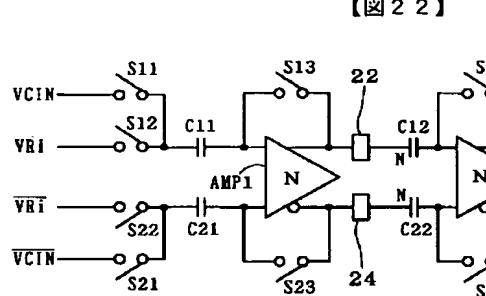


21~24 : レベルシフト回路

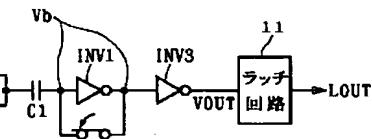
【図 1 9】



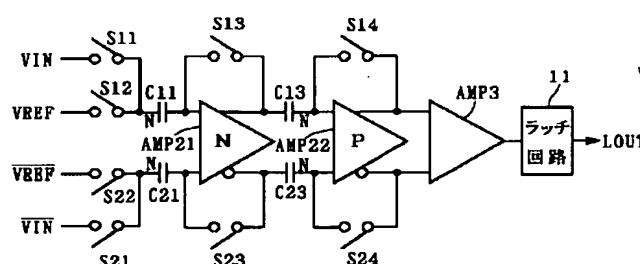
【図 3 5】



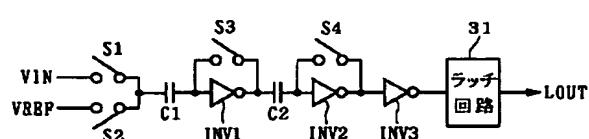
【図 3 2】



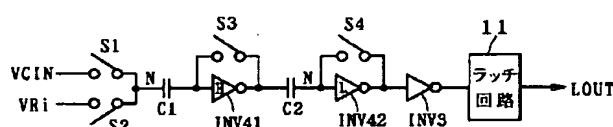
【図 2 3】



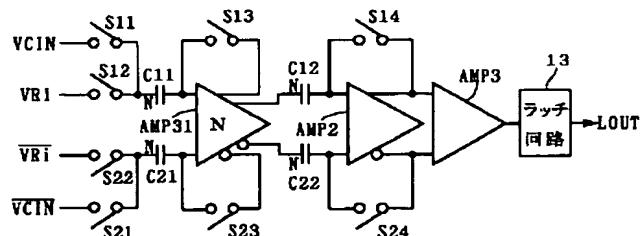
【図 3 0】



【図 2 4】

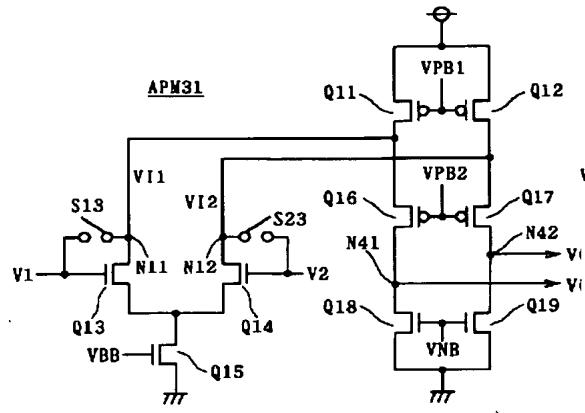


【図 2 5】

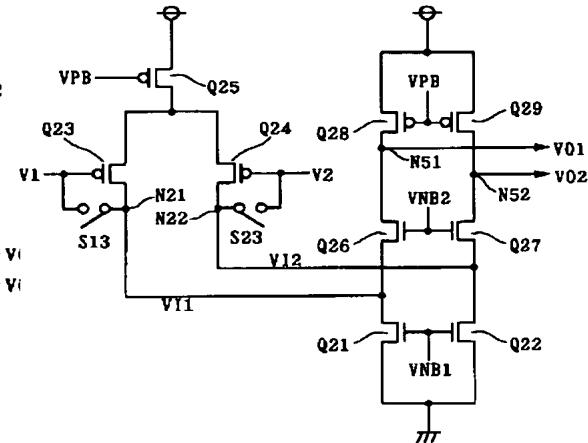


AMP 3 1 : N型差動アンプ

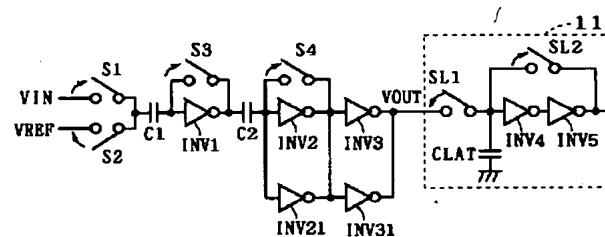
【图26】



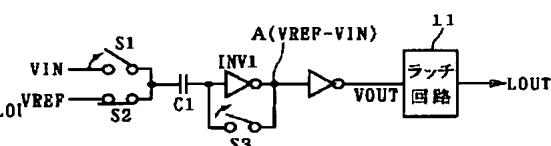
【図27】



【図28】



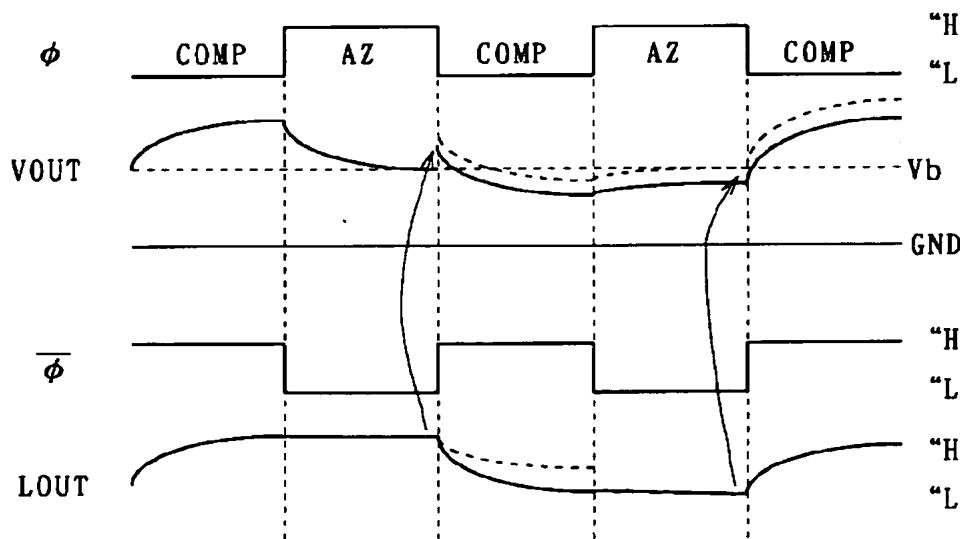
【图 3 3】



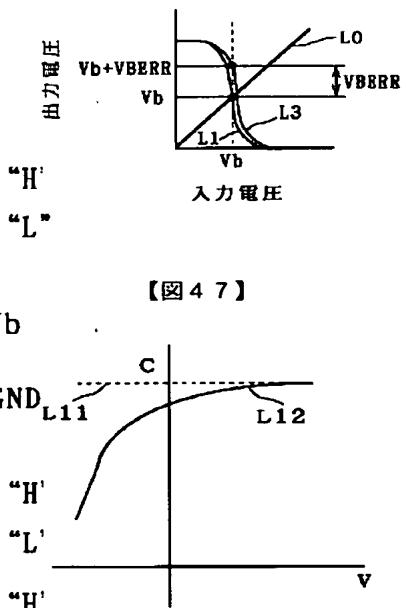
【図37】

INV21, INV31: インバータ

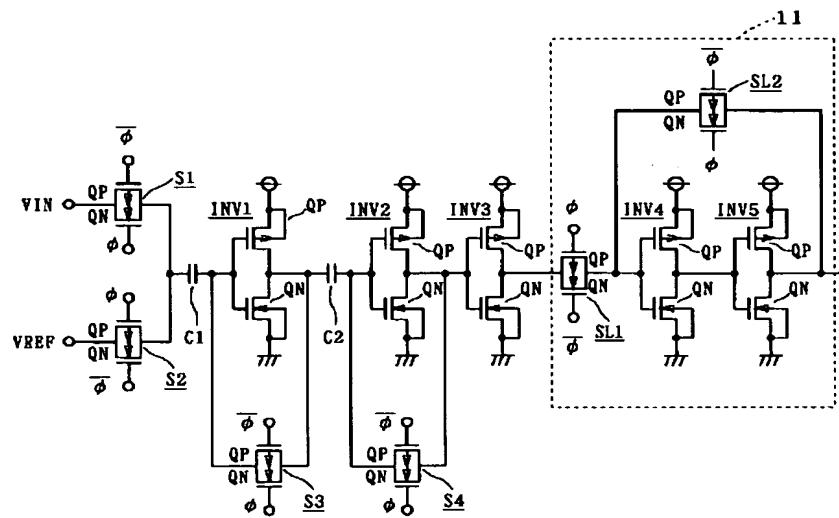
【图29】



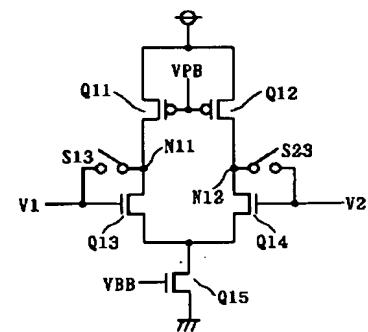
【図47】



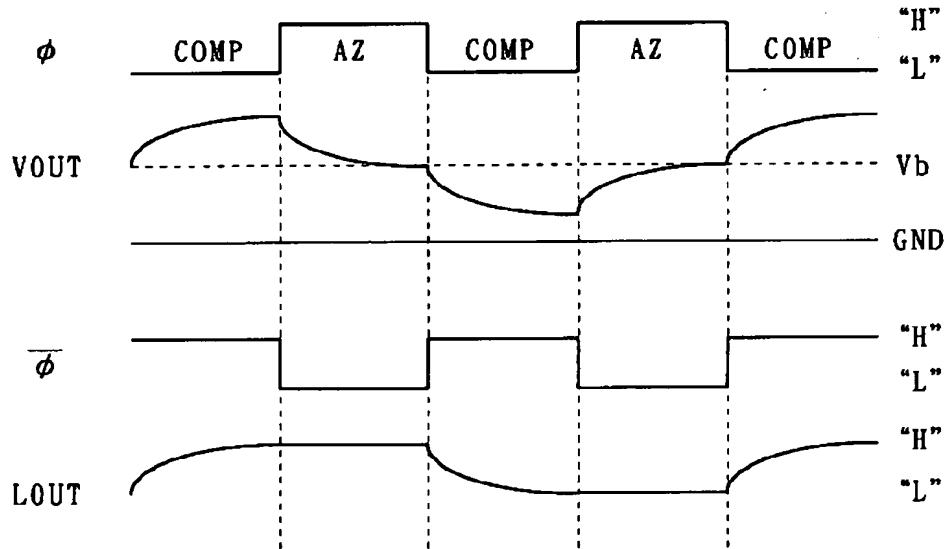
【図 3 1】



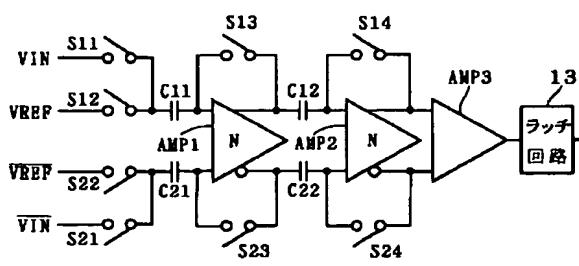
【図 4 1】



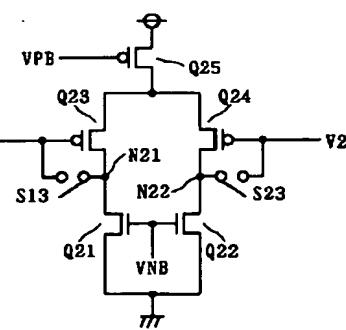
【図 3 6】



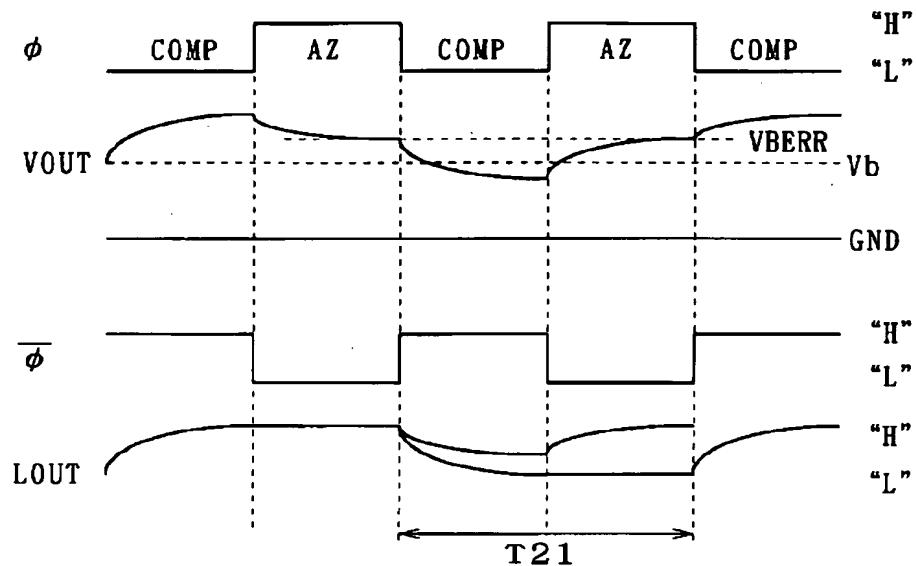
【図 4 0】



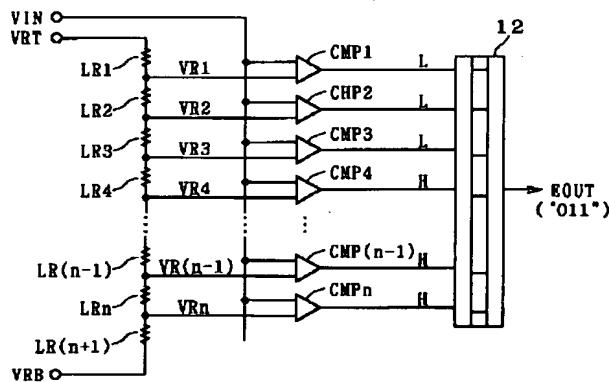
【図 4 2】



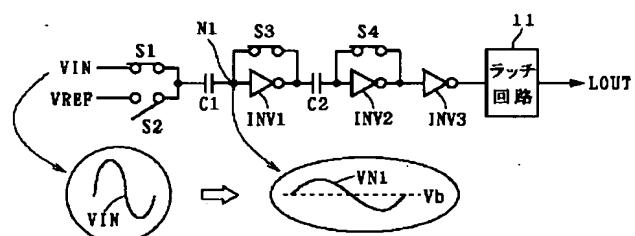
【図 3 8】



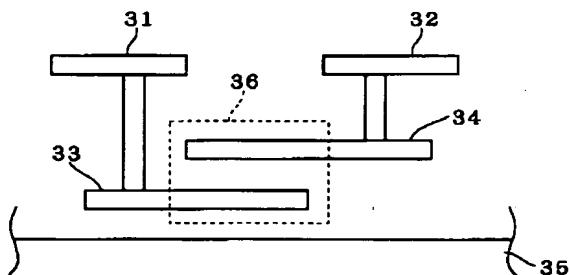
【図 3 9】



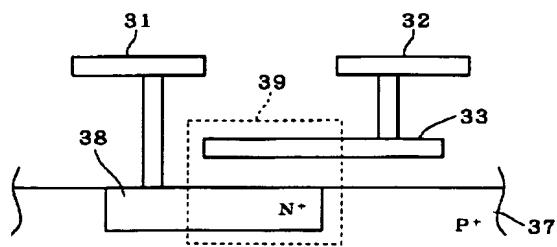
【図 4 3】



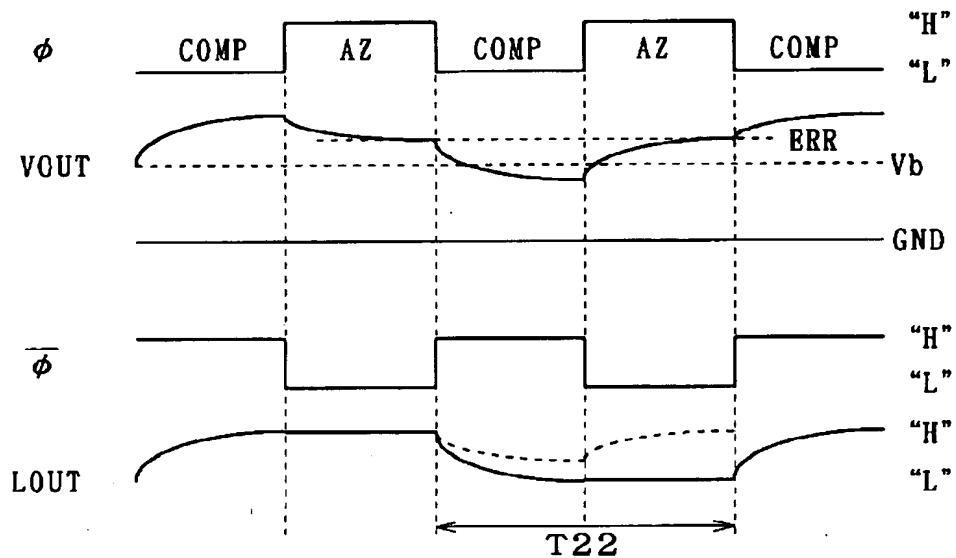
【図 4 5】



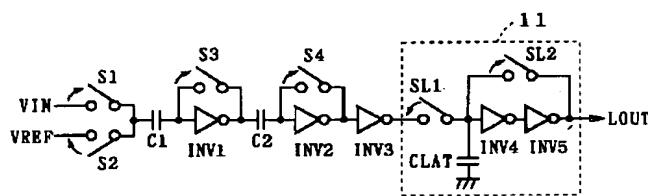
【図 4 6】



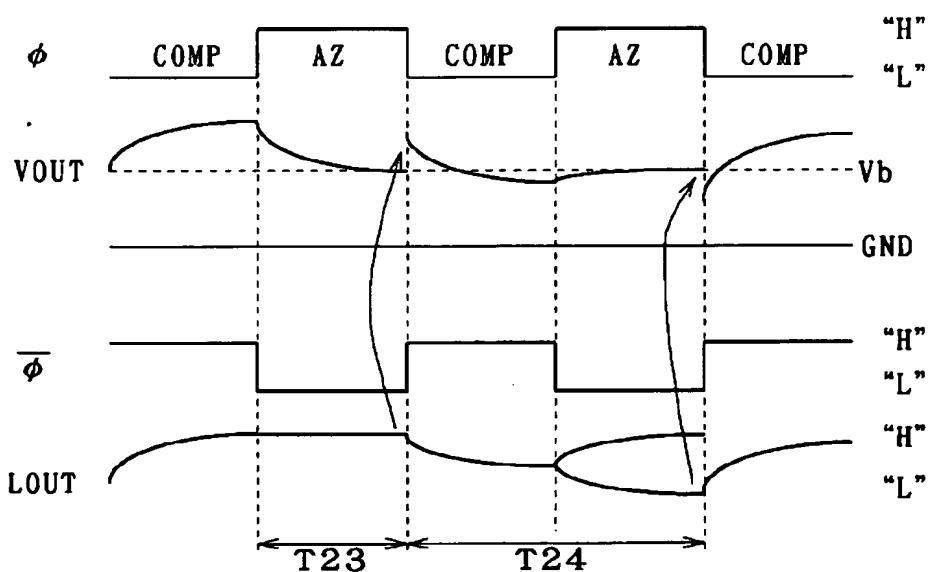
【図 4 4】



【図 4 8】



【図 4 9】



フロントページの続き

(72) 発明者 奥田 孝
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内